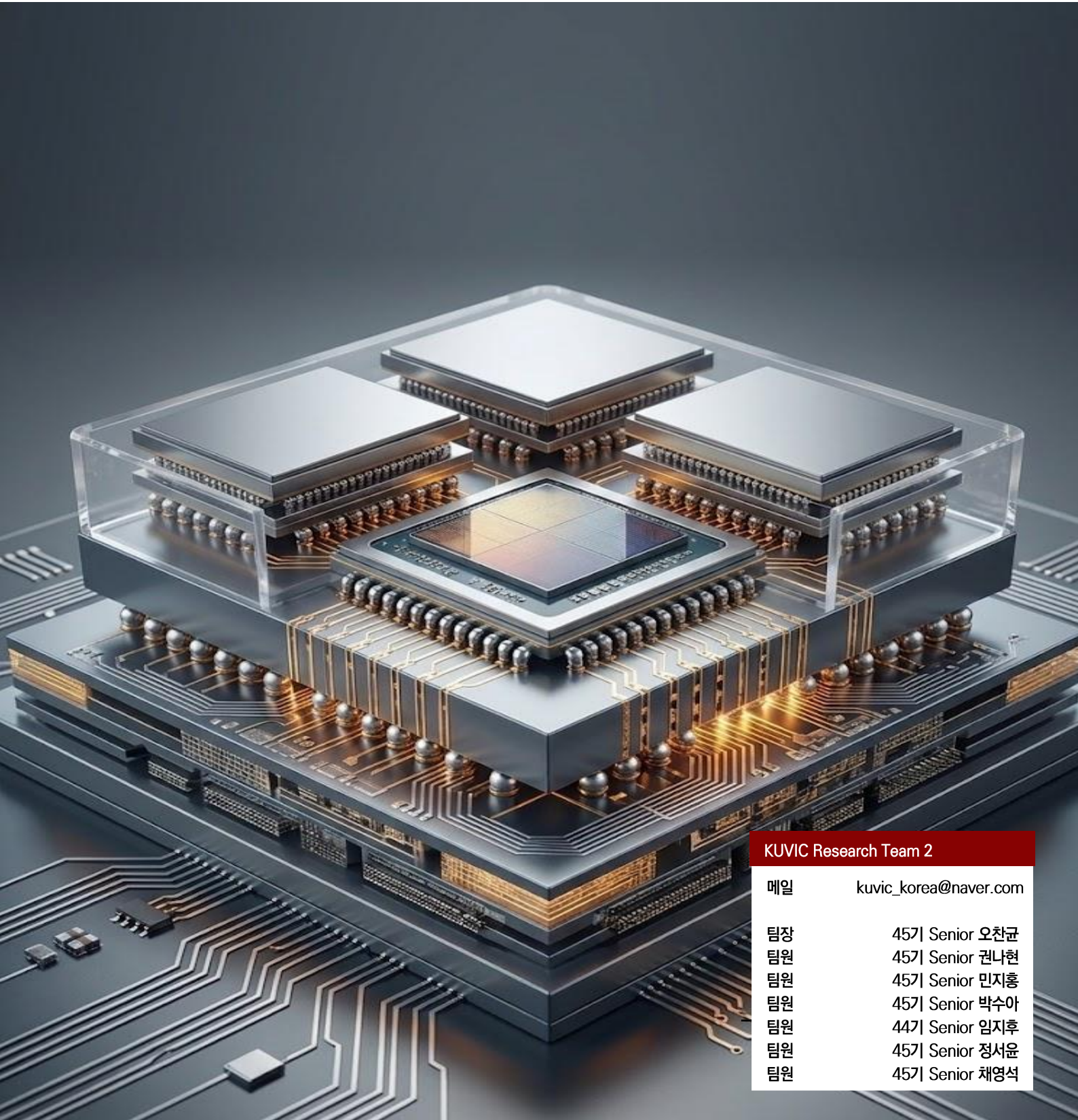


Industry Indepth| 2026.07.31

[반도체와 반도체 장비] (비중확대)

후(後)공정, 후(厚)한 수익



KUVIC Research Team 2

메일 kuvic_korea@naver.com

팀장	45기 Senior 오찬균
팀원	45기 Senior 권나현
팀원	45기 Senior 민지훈
팀원	45기 Senior 박수아
팀원	44기 Senior 임지후
팀원	45기 Senior 정서윤
팀원	45기 Senior 채영석

C O N T E N T S

Summary	3
----------------	----------

Key Chart	5
------------------	----------

내가 CapEx에게로 간다	8
-----------------------	----------

AI CapEx
하이퍼스케일러/네오클라우드의 현금흐름
부담스러운 매크로 상황

CapEx가 향하는 곳	12
---------------------	-----------

엔비디아 랙 아키텍처 변화
ASIC 증가 추세
비메모리 및 메모리 수요 도출

칩 개수는 감소, 후공정 복잡도는 증가	17
------------------------------	-----------

패키징의 종류
InFO
CoWoS, CoPoS
SoIC
메모리

후공정 밸류체인	27
-----------------	-----------

기판
패키징
테스트
OSAT

Company Analysis	59
-------------------------	-----------

티에스이

Summary

AI CapEx

① AI CapEx는 2025년부터 2028년까지 3배 이상 확대되며 투자 주체인 하이퍼스케일러에서 공급자인 반도체 기업으로 현금흐름이 이동할 전망이다.

- 하이퍼스케일러 4사와 SpaceX의 CapEx는 25년 4,260억 달러에서 28년 1조 3,960억 달러로 3배 이상 확대될 것으로 전망.
- 투자 규모가 내부 영업현금흐름을 초과하여 외부 조달(회사채, 증자, 선급금 등)이 본격화되며 27년 하이퍼스케일러의 선행 FCF는 적자 전환하는 반면 CapEx를 매출로 인식하는 반도체 기업의 FCF는 대폭 증가 예정.
- 전체 AI CapEx 중 컴퓨트 비중은 26년 약 65%에서 30년 69%까지 상승하며 대부분 GPU, ASIC과 메모리 구매에 투입.
- 하이퍼스케일러의 추가 투자 여력이 제한되는 과정에서 반도체 기업은 확보한 FCF를 가격 인하보다 생산능력 증설과 병목 해소에 재투자할 것으로 전망.

엔비디아와 ASIC

② 랙 전력밀도 상승으로 전력당 칩 수는 감소하지만 세대 전환에 따른 칩당 HBM 탑재량과 패키징 원단위 상승이 반도체 수요를 견인할 전망이다.

- AI 데이터센터 증분 전력은 26년 26.3GW에서 30년 45.3GW로 확대되며 이 중 자체 설계 ASIC 비중은 23.7%에서 44.2%로 약 2배 상승할 전망.
- 이에 따라 ASIC 절대 수요가 같은 기간 6.2GW에서 20.0GW로 3배 이상 폭증하며 엔비디아 GPU와 빅테크 ASIC이 병존.
- Rubin 아키텍처는 랙 전력이 227kW로 상승해 1GW당 칩 수가 GB300 대비 약 34% 감소하며 27년 HBM 원단위가 하락. 반면 차세대 Rubin Ultra는 패키지당 HBM4E 16스택(총 1,024GB)을 탑재해 GB300 대비 칩당 HBM 용량이 약 3.6배 급증.
- 이에 따라 전체 HBM 수요는 26년 4,443PB에서 28년 10,713PB로 연평균 55% 증가하며 전력 증설보다 세대 전환에 따른 칩당 탑재량 상승이 핵심 수요 변수로 작용.

후공정 패키징

③ AI 반도체의 병목은 CoWoS에서 SolC와 HBM TSV로 확산되며 공격적인 투자에도 첨단 패키징 공급 부족이 지속될 전망이다.

- TSMC의 공격적인 캐파 증설(24년 말 월 3.5만 장 → 26년 말 14만 장)에도 불구하고 업계 전체 2.5D 가동률은 26년 105%, 27년 115%에 달해 공급 능력을 지속적으로 초과할 전망.
- Rubin Ultra(Kyber 랙)부터 GPU와 Vera CPU의 구성비가 2:1에서 1:1로 전환되며 GPU당 CPU 패키징 강도가 2배 상승.
- 이로 인해 Vera CPU용 CoWoS-R 웨이퍼 수요가 급증(26년 0.5만 장 → 28년 27.6만 장)하고 엔비디아의 SolC 채택률 역시 급상승(28년 27.6% → 29년 81.9%)하여 29년 가동률이 135.8%에 이르는 새로운 병목 현상이 예상됨.
- HBM TSV 가동률은 향후 3년간 실질적 풀가동 상태(26년 100.7% → 28년 103.4%)가 지속될 전망. 특히 TSV 증설의 제약 요인은 자금 부족이 아닌 클린룸 공간 부족과 범용 DRAM 캐파 잠식

한계에 있어 공급 확대 속도가 수요 증가를 따라잡기 어려울 전망.

후공정 밸류체인

④ 첨단 패키징의 대형화·다층화·복잡화는 기판, 테스트 및 OSAT 전반의 물량과 단가를 동시에 끌어올릴 전망이다.

- AI 패키지 면적과 I/O가 확대되면서 단기적으로는 ABF 기반 FC-BGA의 대형화, 고다층화가 지속되고 기판당 소재 투입량과 공정 반복 횟수가 증가.
- 유리기판은 워피지와 미세배선 문제를 해결할 중장기 대안이지만 고객 인증과 양산 수율 확보 전까지 ABF 유기기판이 주력으로 유지될 전망.
- 완제품 단계에서 불량률이 발견될 경우 GPU, HBM, 인터포저가 함께 폐기되므로 테스트는 비용 공정이 아니라 패키지 수율과 수익성을 방어하는 필수 공정.
- -TSMC가 고부가가치 CoW를 내재화하고 기판 결함과 최종 테스트인 oS를 외주화하면서 Amkor와 ASE, SPIL 등 대만계 OSAT 물량이 확대되며 국내는 메모리 3사의 HBM 후공정 캐파 집중으로 범용 DRAM 조립, 테스트 외주화 및 대만 OSAT 풀가동에 따른 추가 낙수효과까지 유입될 전망.

Key Chart

그림 1. 하이퍼스케일러와 반도체 회사의 FCF

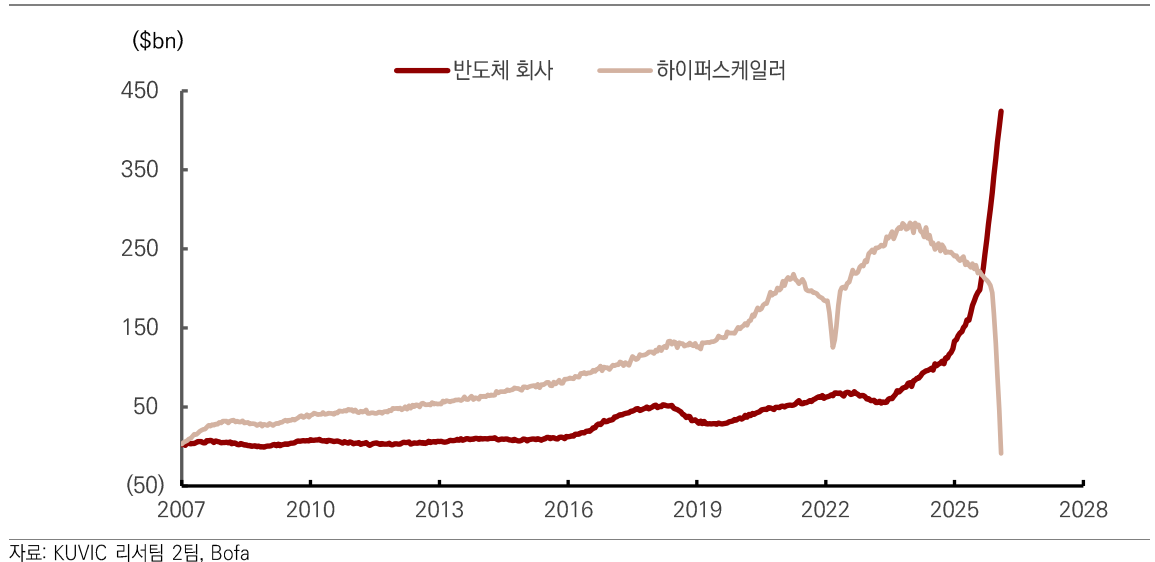


그림 2. 하이퍼스케일러 CapEx

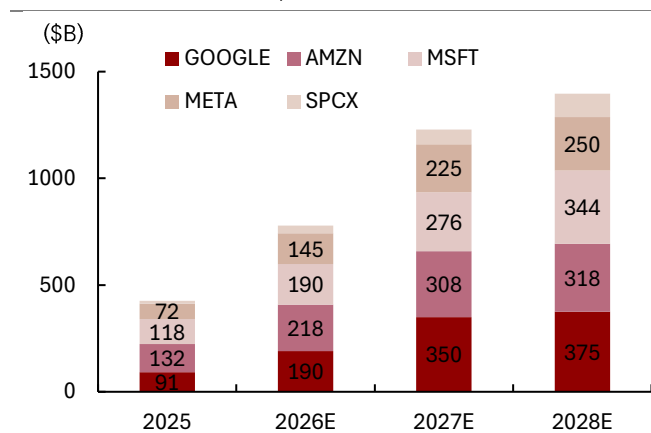


그림 3. 사업 부문별 CapEx 비중

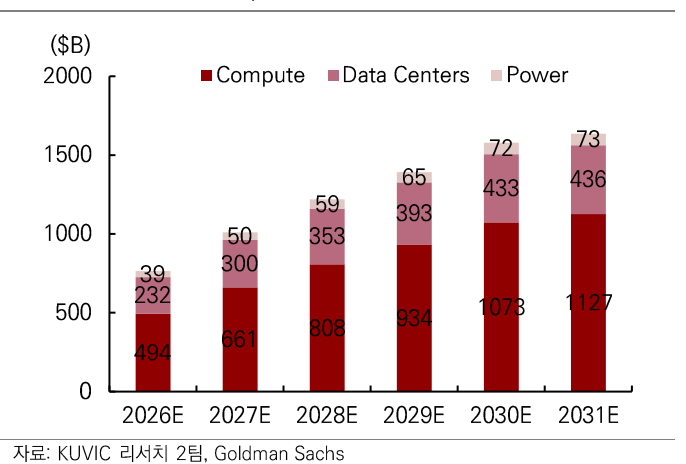


그림 4. ASIC, GPU 수요

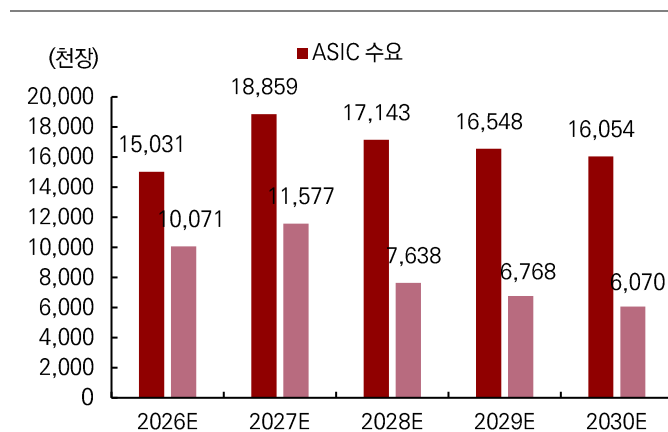


그림 5. HBM 수요

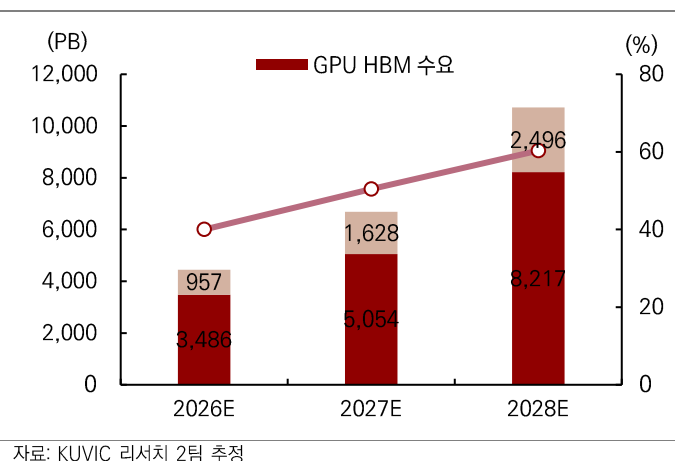
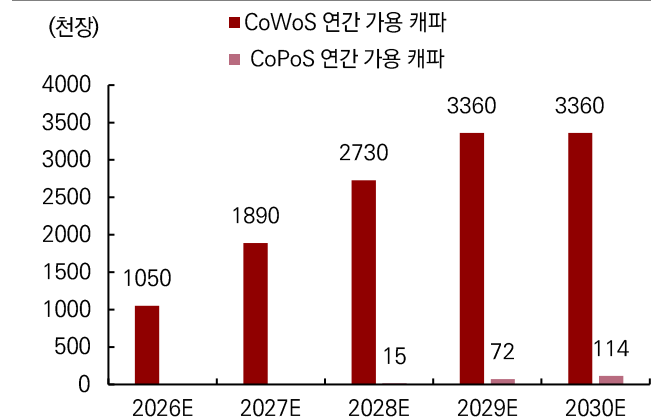
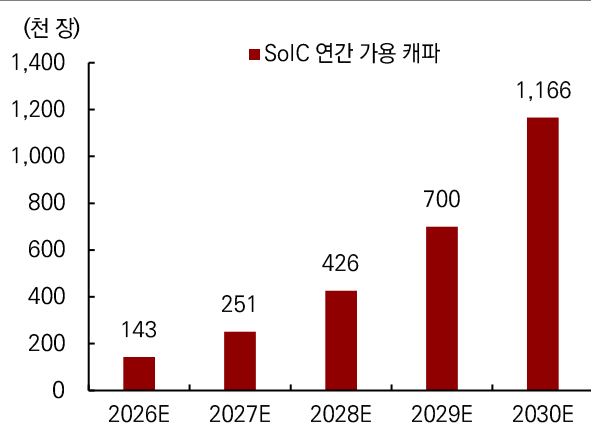


그림 6. CoWoS 및 CoPoS 연간 생산능력



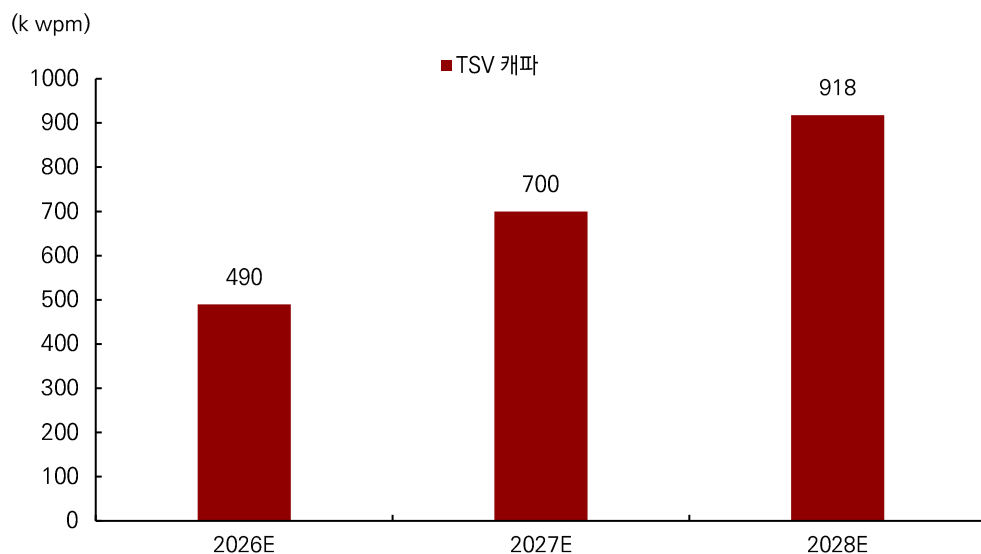
자료: KUVIC 리서치 2팀 추정

그림 7. SolC 연간 생산능력



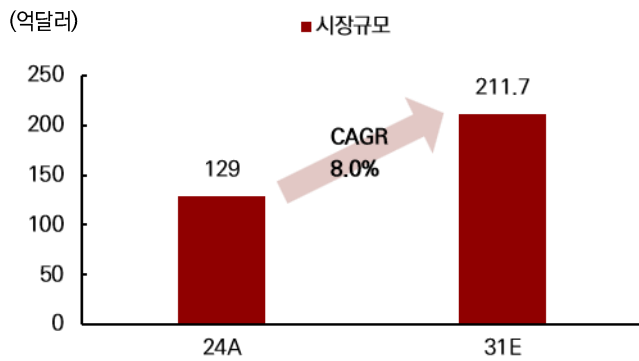
자료: KUVIC 리서치 2팀 추정

그림 8. TSV 연간 생산능력



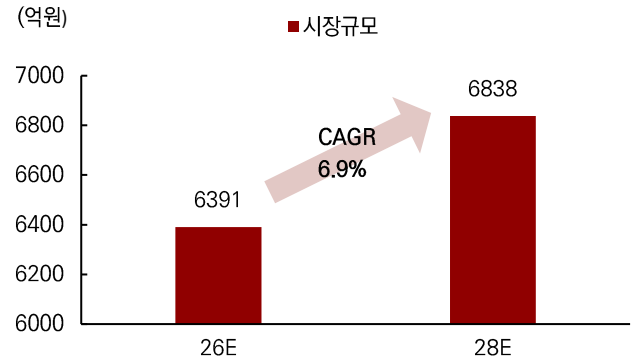
자료: KUVIC 리서치 2팀 추정

그림 9. 글로벌 첨단 패키징 기판 시장 전망



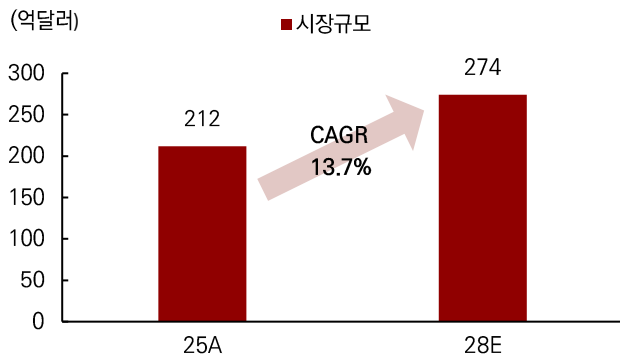
자료: KUVIC 리서치 2팀

그림 10. 글로벌 패키징 장비 시장 규모 전망



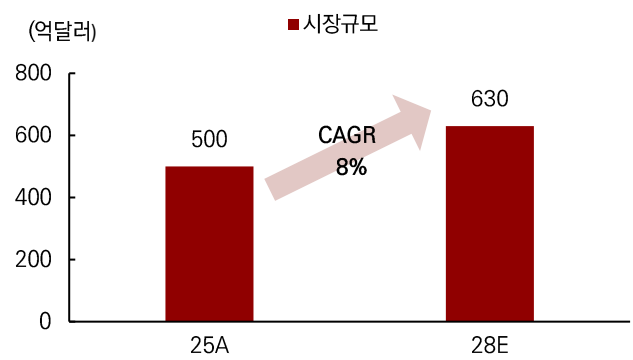
자료: KUVIC 리서치 2팀

그림 11. 글로벌 테스트 시장 규모 전망



자료: KUVIC 리서치 2팀

그림 12. 글로벌 OSAT 시장 규모 전망



자료: KUVIC 리서치 2팀

내가 CapEx에게로 간다.

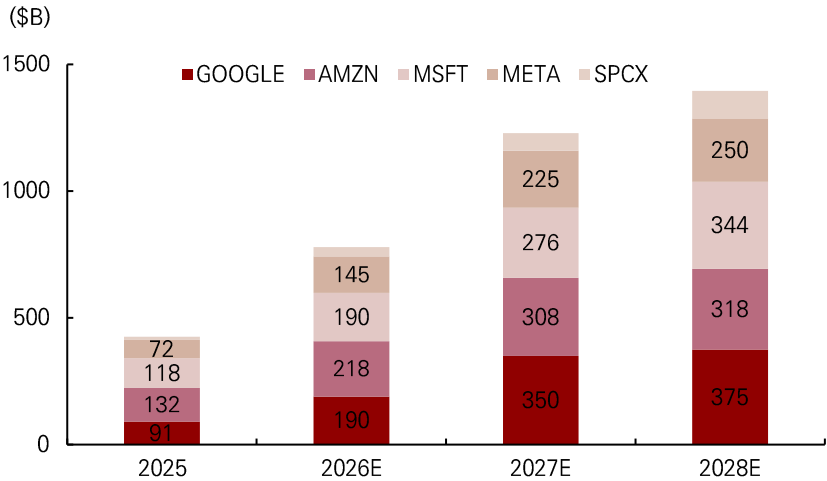
AI CapEx

CapEx는 올라간다. 다만...

CapEx의 증가
2025년 \$426B에서
2028년 \$1,396B까지
3배 상승 전망

모건 스탠리에 따르면, 하이퍼스케일러(4사+스페이스X) CapEx는 2025년 \$426B에서 2028년 \$1,396B까지 3배 이상 상승할 전망이다. 지난 1월에 발간된 KUVIC 리서치 1팀의 조사에 따르면 데이터 센터 수요와 CapEx 전망치는 당해연도에 계속해서 상향되는 경향이 있다. 이는 추론 비용의 급격한 감소가 새로운 수요를 계속해서 증가시키고, 반도체 및 인프라 비용 역시 이러한 수요를 맞추기 위해 P와 Q 상승이 일어나기 때문이다.

그림 13. 사업 부문별 CapEx 비중



자료: Kuvic 리서치 2팀, Morgan Stanley

하이퍼스케일러/네오클라우드의 현금 흐름

현금 흐름 위기설... 진짜일까?

현금 흐름 위기설
재무상황을 트레이킹
해야하지만, 방어 존재

블룸버그에 따르면 2025년 회사채 발행액은 2024년 201억 달러에서 1084억 달러까지 증가했다. 신용평가사는 NED DEBT/EBITDA가 지속적으로 4배를 초과하면 정크본드로 취급되어 기관 투자자의 투자를 받기 어렵다. 주요 하이퍼스케일러들의 재무상황을 정리하면 다음과 같다.

표1. 하이퍼스케일러/네오클라우드의 FCF

기업	배수(상환연수)	조달 방식	관찰구간
알파벳	0.6(4.9)	유상증자+채권	2027
마이크로소프트	0.6(4.0)	내부 현금	
메타	0.8(3.9)	채권	2027
아마존	1.3(3.1)	채권	2026
스페이스 X	2.5(2.5)	채권	2029
오라클	5.6(1.9)	유상증자 + 채권	2026
네오클라우드	7+	계약 담보 대출	코어워브 30/네비우스 27

자료: KUVIC 리서치 2팀 추정

알파벳

S&P AA+·Aa2를 보유하고 조정 레버리지는 0.2배(26)에서 0.3배(27)로 전망된다. 연 2,600억대 광고 매출을 근간으로 25년 OCF 1,647억, FCF 733억을 내부 창출했다. 다만 조달 구조 전환은 이미 시작됐다. 26년 CapEx가 2,000억(+120%)으로 급증하며 FCF는 733억에서 100억 안팎으로 급감했고 2Q에는 CapEx가 OCF를 처음 추월하며 분기 FCF가 -59억으로 적자 전환했다. 자사주를 중단하고 6월 증자 496억, 선순위채 203억을 조달했으며 ATM 400억까지 승인했다. 장기부채가 반기 만에 465억에서 982억으로 배증했으나 현금, 유가증권 2,425억을 보유해 순현금 1,440억을 유지한다. 27년이 사실상 유일한 관찰구간인데, CapEx 2,570억을 OCF 3,165억이 덮으며 FCF가 +595억으로 자체 조달이 회복된다. 공격적인 3,250억 시나리오가 현실화돼도 레버리지가 0.5배를 넘지 않아 신용 압박으로 이어지지 않는다. 28년부터는 CapEx 증가율이 꺾이며 리스크가 해소될 전망이다.

마이크로소프트

4사 중 유일하게 조달 구조 전환 없이 AI CapEx를 흡수한다. FY26 매출 3,310억·OCF 1,829억·현금 CapEx 1,159억으로 FCF 670억을 전액 내부 창출했고, CapEx 급증에도 FY25 716억 대비 6% 감소에 그쳤다. CY26 가이던스 1,750억은 투자 축소가 아니라 FY27부터 데이터센터·오피스 내용연수를 15년에서 25년으로 연장하며 임대 상당 부분이 금융리스에서 운용리스로 재분류된 결과다. FY27은 CapEx 추가 증가를 예고하면서도 FCF 흑자 유지를 명시적으로 가이던스했고, FY27 Q1 CapEx는 리스 재분류 효과 포함 500억 이상을 제시했다. 분기 역전도 일시적이었다. FY26 Q4 OCF 554억이 금융리스 56억을 포함한 총 CapEx 414억을 상회해 FY26 Q2에 한 차례 나타났던 리스 포함 기준 역전이 해소됐다(발표 FCF 196억). 주주환원도 축소되지 않아 Q4에만 102억, FY26 누적 430억 이상을 배당·자사주로 집행했다. 지난 12개월간 AI 투자 목적 회사채 발행은 전무하며 S&P AAA·무디스 Aaa로 4사 중 최상위다. 지속 가능성의 근거도 보강됐다. 상업 RPO가 6,780억(+84%)으로 계약 잔고가 투자를 뒷받침하고, CapEx의 3분의 2가 리드타임이 짧은 CPU·GPU여서 수요가 꺾이면 집행 속도를 즉시 늦출 수 있다. 다만 내용연수 연장은 감가상각 부담을 뒤로 미루는 회계 변경이라는 점은 경계할 필요가 있다.

메타

26년에 자체 현금으로 투자를 감당하지 못하는 국면에 진입했다. 25년 CapEx는 697억으로 두 배 늘었고 FCF는 436억으로 감소했으며, 26년 가이던스 1,250~1,450억 기준으로는 FCF가 적자 전환한다. 연 2,600억대 광고 매출과 40%대 영업이익률로 OCF가 26년 1,300억까지 늘지만 CapEx가 더 빠르게 증가한다. 최근 8개월간 공모채로만 550억(25.10 300억, 26.5 250억)을 발행했고 Hyperion JV 사모채 270억, 블랙록 JV 125억 달러 등을 재무제표 밖에서 조달했다. 2030년 이전 원금 만기가 거의 없어 차환 부담은 낮으나 발행금리가 5.5~5.75%에서 6.2~6.45%로 70bp 올랐다. 리스크의 핵심은 27년이다. CapEx 컨센서스가 1,650~2,050억(JPM 2,020억, 씨티 2,050억)으로 상한선에 근접한다. 연간 CapEx 상한은 OCF 1,400~1,500억, 부채 조달여력 600~800억(순부채/EBITDA 1.0배 유지 전제), JV·리스 200~300억의 합인 약 2,000~2,200억으로 추정되는데 27년 전망치가 정확히 이 한도에 붙어 있다. 컨센~JPM 수준이면 추가 채권 발행과 FCF 적자 감수로 충당 가능하나, 바이사이드 상단 2,750억이 현실화되면 증자 없이는 불가능하다. JPM도 주가 700달러 이상에서 증자 발표 가능성을 언급했다. 28년부터 증가율이 둔화되면 FCF가 회복돼 신용 리스크는 완화될 전망이다. 관전 포인트는 재무구조 붕괴 여부가 아니라 채권 단독에서 증자 병행으로 전환되는 시점이다.

아마존

26년 CapEx 2,000억으로 FCF는 -80억이 예상되나 상반기 채권·DDTL로 1,065억을 선제 조달해 27년 소요까지 충당했다. 유동성 버퍼 1,631억(현금성 1,431 + 미사용 리볼빙 200)과 누적 CapEx의 D&A 환류에 따른 OCF 확대(30년 4,410억)를 감안하면 조정 레버리지는 1.3배(26)에서 30년까지 감소해 크레딧 리스크는 적다. 27년 OpenAI·Anthropic 비CapEx 약정 550억이 있으나 연간 소요가 600억 내외라 통제 가능하다. 핵심 관전 포인트는 재무구조가 아니라 손익계산서다. 30년 D&A

2,550억은 AWS가 25~30% 고성장을 지속할 때 창출되는 전사 이익 증가분을 모두 소모하는 규모다. 28년까지는 수주잔고 3,640억과 대형 파트너십(Trainium 2,250억, 7GW AI 전력계약)이 실적을 담보하나 29년 이후 성장 궤적은 불확실하다. 결국 AWS 매출 성장률과 D&A 증가율 간 격차가 핵심 리스크다.

스페이스 X

매출이 올라오는 속도보다 CapEx 계획이 빠르다. 의결권을 장악한 머스크의 성향을 감안하면 채권 발행을 통한 조기 집행이 현실화될 확률이 높다. 이를 기본 시나리오로 하면 27년부터 크레딧 리스크 수준까지 채권 발행이 진행된다. 다만 캐시카우인 통신 매출과 정부 수주가 확정된 로켓사업을 바탕으로 29년까지는 유증 없이 채권 조달이 가능하므로, 28년까지는 관리 가능하고 29년부터 경고 수준, 30년부터는 채권 발행이 불가한 수준으로 추정된다.

오라클

25.6~26.6에 매출 674억·OCF 320억을 창출했음에도 CapEx로만 557억을 쏟아부어 FCF -237억을 기록했다. 레버리지가 지난해 3.3배로 S&P 기준선 4.0배에 빠르게 근접했고, 26.7.9 S&P가 BBB에서 정크 바로 위인 BBB-로 강등하며 FCF 적자 확대에 대한 우려를 표했다. 25H2~26H1은 부채 430억을 주력으로 조달하고 증자 50억은 보조 수단으로만 활용했다. 26.6~27.6은 매출이 900억으로 성장하나 고객 선결제를 제외한 순CapEx만 700억에 달해, 전년도 OCF 마진율 유지 시 FCF 적자가 273억으로 확대될 전망이다. 이에 총 400억 조달 계획 중 절반인 200억을 ATM 유상증자로 채우며 지분과 부채를 혼합하는 방식으로 선회했다. 다만 638억에 달하는 RPO의 매출 인식이 갈수록 가속화되므로 다시 재무 건전성 관리가 가능한 안정화 구간에 진입할 전망이다.

코어워브

네오클라우드는 조달 구조 자체가 다르다. 하이퍼스케일러가 자체 이익을 담보로 회사채를 발행하는 반면 네오클라우드의 고객 계약을 담보로 조달하므로 정크 기준선 4배로 재단하기 어렵다. 26년 조달한 85억 규모 DDTL은 특정 고객 계약의 현금흐름을 담보로 해 해당 트랜치가 A- 상당 투자등급을 6% 미만 금리에 부여받았다. 자체 선순위채 금리가 9%대인 점을 감안하면 계약 담보 여부에 따라 조달 비용이 300bp 이상 벌어지는 셈이다. 만기 구조상 29년까지 대규모 차환 부담이 없고 OpenAI형 조달도 완료해 26~27년 집행에는 무리가 없다. 다만 부채 배수가 하이일드 통상 수용선인 7배에 도달해 27년부터는 유상증자를 병행할 수밖에 없다. 하이퍼스케일러가 28년 이후 CapEx 증가율 둔화와 함께 리스크를 해소하는 반면, 코어워브는 회사채 만기와 대형 고객계약 만기가 겹치는 30~31년으로 이연된다.

네비우스

무등급이며 부채보다 자본에 의존해 만기 절벽이 없는 대신, CapEx와 조달 소요가 동시에 정점을 이루는 27년이 최대 고비다. 26.1Q 기준 현금 93억에 고객 선수금 32억을 확보했으나 상향된 설비투자 계획 200~250억을 감안하면 추가 조달이 불가피하며, 전환사채 잔액이 이미 시총 30%에 근접해 여력도 제한적이다. 결국 설비투자 실행 가능성은 사실상 주가 수준에 좌우된다.

부담스러운 매크로 상황

한편 2028년부터 CapEx 성장률이 크게 꺾일 것임을 감안하면, 신용측 리스크는 대부분의 기업에서 오지 않을 것이나, 최근 미국 정치권에서 벌어지는 데이터센터 신규 증설 금지 문제와 상승세를 보이는 미국 국채 금리는 부담요인이다. 특히 네오클라우드에 이 구조에서 가장 취약하다.

지역별 데이터센터 건설 금지

지역별 데이터센터
건설 금지
민주당 지역 중심의
대규모 데이터센터 건설
금지 가능성

중간 선거를 앞두고 민주당 지역을 중심으로 전력, 산업용수 문제로 대규모 데이터센터 건설을 금지할 가능성이 있다. AI 인프라로 인해 발생하는 전력 인플레이션, 발전소 환경오염 문제 등이 지적되고 있으며 이에 반해 인력 채용, 주민 보상 규모는 미미할 것으로 보인다. 실제로 뉴욕주는 50MW이상의 데이터센터 신규허가를 1년 동안 정지하는 모라토리움을 발동하였으며, 워싱턴의 시애틀 역시 의회 표결을 통해 1년 동안 추가 증설을 금지시켰다. 프린스조지스 카운티캘리포니아주 몬터레이파크는 주민 투표를 통해 데이터센터 건설을 영구 금지했다. 공화당 텃밭인 애리조나, 인디애나, 메릴랜드 지역에서도 데이터센터 건설에 대한 반발이 심하다는 점이 중요한 포인트로 꼽힌다. 공화당이 지방선거에서 승리한다는 시나리오를 세워봐도, 공화당 행정부와 각 지방정부가 데이터센터 건설과 보상을 저울질하는 과정에 있어 계속해서 충돌할 수 있다는 점에서 리스크로 작용한다. 특히 계약 담보 대출로 비즈니스를 진행하는 네오클라우드에게는 잠깐의 건설 연기가 매우 치명적으로 다가올 수 있다.

채권 금리 상승

채권 금리 상승
부채규모 자체가 축소로
이어질 수 있다는 리스크

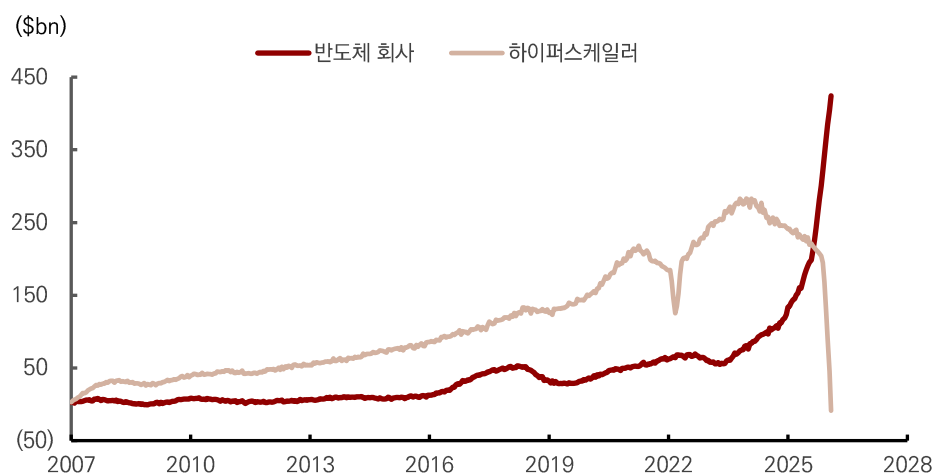
지정학적 불안 등으로 국채 금리가 계속해서 상승하고 있는데 이는 회사채를 발행하는 하이퍼스케일러와 네오클라우드 입장에서 부담으로 작용할 수 있다. 금리가 상승해 이자 부담이 강해지면 현금흐름이 악화되고, 이에 따라 조달할 수 있는 부채규모 자체가 축소될 수 있다는 점에서 리스크로 작용한다. 규모가 큰 하이퍼스케일러들은 버틸 수 있을 지도 모르지만, 현금이 부족해 회사채에 의존하는 오라클, 네오클라우드 등에게는 AI CapEx를 더 이상 진행할 수 없을지도 모르는 리스크로 작용할 수 있다. 데이터센터 신규 증설 금지 등과 함께 CapEx의 지속 가능성에 대한 의문을 제기하는 시장 충격으로 작용할 수 있다.

CapEx는 다 어디로 가

반도체 기업으로의 이동
반도체 기업들은 풍부한
FCF를 증설 노력으로
전환

행정적 장벽을 넘고 부채와 주주 자본을 통해 힘겹게 조달한 하이퍼스케일러 CapEx의 대부분이 반도체 기업에 쏠리고 있다. BofA에 따르면 2027년 하이퍼스케일러의 선행 FCF가 적자로 전환되고, 반도체 기업의 FCF는 크게 상승할 예정이다. 이는 하이퍼스케일러 부채조달 리스크와 함께 CapEx의 평탄화 압력으로 작용하며, 산업의 지속성을 위해 반도체 기업들에 가격 인하 또는 공급 확대를 통한 비용 절감 압박이 가해진다. 이에 따라 반도체 기업들은 풍부한 FCF를 증설 노력으로 전환하게 된다.

그림 14. 하이퍼스케일러와 반도체 회사의 FCF

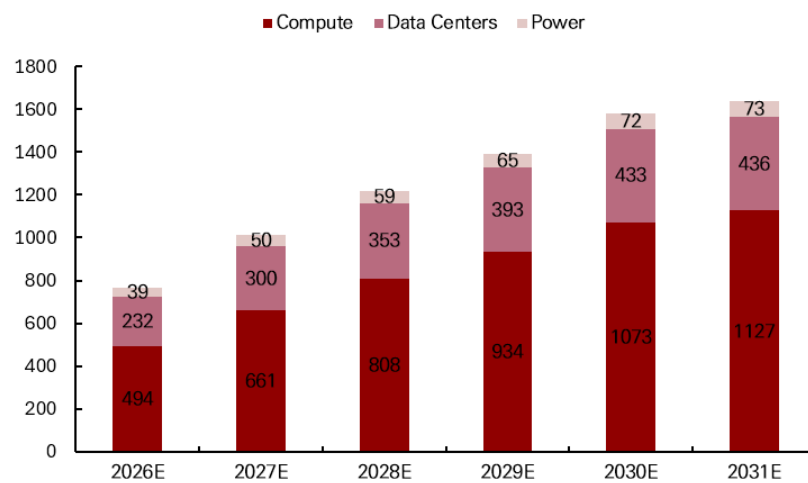


자료: Kuvic 리서치 2팀, BofA

CapEx가 향하는 곳

골드만삭스에 따르면 전체 CapEx에서 컴퓨트가 차지하는 비중은 2026년 기준 65% 정도이며, 2030년 69%까지 확대될 전망이다. 컴퓨트는 서버 비용을 의미하고 대부분 반도체 구매 비용으로 사용된다. 해당 비중 안에서 GPU와 메모리가 대부분을 차지하며, 두 부품의 P와 Q 증가로 비중이 점차 확대될 전망이다. 이 장에서는 GPU/ASIC 그리고 메모리가 AI 수요에 맞춰 구체적으로 어떻게 변화하고 있는지 산업 양상을 살펴보고자 한다.

그림 15. 사업 부문별 CapEx 추이 (단위: \$B)



자료: Kuvic 리서치 2팀, Goldman Sachs

엔비디아 랙 아키텍처 변화

성능 강화를 위한 칩의 변화

엔비디아의 랙 아키텍처는 세대를 거듭하며 전력 밀도와 집적도를 동시에 높여가고 있다. GB200 NVL72는 랙당 72개의 GPU로 125kW를 소비하며, GB300 NVL72는 150kW로 상승한다. 이후 베라루빈NVL72는 72개 GPU 구성을 유지한 채 227kW로 도약하며, 루빈 울트라(Rubin Ultra) 세대의 카이버 랙은 패키지 수가 144개로 배증하여 전력 소비가 600kW에 달할 전망이다. 파인만 역시 144개 패키지에 600kW 구성을 유지할 것으로 추정된다.

이를 가속기 슬롯당 점유하는 시스템 전력으로 환산하면, 블랙웰 1.74kW, 블랙웰 울트라 2.08kW, 루빈 3.15kW, 루빈 울트라 및 파인만 4.17kW로 세대마다 20~50%씩 가파르게 상승한다. 결과적으로 **1GW의 추가 전력(증분)으로 가동할 수 있는 가속기(Q) 수는 블랙웰 57.6만 개에서 루빈 울트라 24.0만 개로 크게 감소한다.** 즉, 동일한 전력 인프라에서 구동 가능한 칩의 절대량은 지속적으로 하향 중이다. 그러나 칩 성능 증가로 연산 능력은 크게 상승하며 단일 랙당 연산 능력은 블랙웰 대비 루빈 울트라에서 약 5.5~7.5배 가까이 폭발적으로 증가할 전망이다.

엔비디아 세대 변화
GB200 > GB300 >
Rubin > RubinUltra
> Feynman

ASIC 증가 추세

ASIC 증가세:
하이퍼스케일러들의
자체 생태계 구축

하이퍼스케일러의 독자 노선: 자체 설계 ASIC의 가파른 침투

당사의 추정 모델에 따르면, 2026년부터 2030년까지 하이퍼스케일러 및 소버린 AI의 증분 데이터센터 용량은 26.3GW에서 45.3GW로 확대된다. 이 중 자체 설계 ASIC이 차지하는 비중은 23.7%(6.2GW)에서 44.2%(20.0GW)로 두 배 가까이 상승하며, 절대 물량 기준으로는 약 3.2배의 폭발적 성장이 예상된다. 기업별 채택 속도와 전략 편차는 다음과 같다.

표 2. 하이퍼스케일러, 소버린 AI 데이터센터 증분 수요 (단위: GW)

기업	2026E	2027E	2028E	2029E	2030E
마이크로소프트	2.80	4.30	5.80	4.00	4.00
아마존	6.00	8.00	8.00	8.00	8.00
메타	3.50	7.00	7.00	7.00	7.00
구글	4.58	6.94	8.80	9.60	10.39
오라클	2.80	3.60	3.60	4.90	6.00
스페이스 X	1.00	3.00	3.00	4.00	4.00
코어위브·네비우스	1.50	2.80	2.30	2.00	2.00
오픈 AI·엔트로픽	1.95	4.14	2.60	1.73	0.20
소버린 AI (미·중 제외)	2.20	3.20	4.10	5.60	3.70
합계	26.33	42.98	45.20	46.83	45.29

자료: KUVIC 리서치 2 팀 추정

표 3. 하이퍼스케일러 자체 ASIC 전환 현황 및 공식 근거

기업	자체 ASIC	2026E 비중	2030E 비중	변화 (%p)	공식 발표 근거
아마존 (AWS)	Trainium	37.8%	82.3%	+44.4	re:Invent 2025에서 Trainium 3 정식 출시 및 누적 100만 개 가동 발표
구글	TPU	72.0%	76.0%	+4.0	추론의 시대(age of inference)를 겨냥한 Ironwood(TPU v7) 정식 출시 — 이미 자체 칩 생태계 완성
마이크로소프트	Maia	11.0%	68.0%	+57.0	FY26 2Q 실적발표에서 Maia 200 가동 및 TCO 30% 개선 언급 — 가장 급진적인 전환 예상
메타	MTIA	10.0%	40.0%	+30.0	블로그를 통해 MTIA 300 양산 및 2년 내 4세대 출시 로드맵 공개 — 상대적 완만

자료: KUVIC 리서치 2팀

비메모리 및 메모리 수요 도출

GPU/ASIC 수요
GW당 칩수는 감소,
성능은 증가

GPU/ASIC 세대별 칩 수요 도출

ASIC은 엔비디아 GPU와 달리 랙 구성비가 비공개 상태이므로, '칩 TDP × 시스템 오버헤드 배수' 방식을 통해 슬롯 전력을 역산했다. 시스템 오버헤드란 칩 자체 소비전력 외에 그 칩을 실제로 가동하기 위해 필요한 부대 전력을 뜻하며 메모리와 전원공급장치, 냉각 팬과 액침 순환, 그리고 칩과 칩을 잇는 네트워크 스위치가 모두 여기에 포함된다. 일반적인 ASIC 오버헤드는 GPU 실측 랙에서 역산한 1.24~1.39배를 고려해 1.6배를 일괄 적용했으며, 구글 TPU만 OCS 기반의 대규모 상호연결망에 따른 부대 전력을 반영하여 팟 전력 실측치(9,216칩 기준 약 10MW) 기반의 1.81배를 별도 적용했다.

표 4. 하이퍼스케일러 GPU/ASIC 수요 추정

세대	랙전력 (kW)	칩/랙	칩 TDP (W)	시스템 오버헤드 (x)	슬롯당 전력 (kW)	레티클 배수 (x)	웨이퍼당 칩	1GW 당 칩 (대)
Blackwell (GB200 NVL72)	125	72	1,400	1.24	1.74	3.3	14	576,000
Blackwell Ultra (GB300 NVL72)	150	72	1,400	1.49	2.08	3.3	14	480,000
Rubin (VR200 NVL72)	227	72	2,300	1.37	3.15	5.5	8	317,181
Rubin Ultra (VR300 NVL144)	600	144	3,000	1.39	4.17	9.0	5	240,000
Feynman	600	144	3,000	1.39	4.17	14.0	6	240,000
Maia 200			800	1.60	1.28	1.6	29	781,250
Maia 300			1,800	1.60	2.88	4.2	11	347,222
Maia 400			2,200	1.60	3.52	5.5	8	284,091
MTIA 3 (Iris)			1,400	1.60	2.24	4.6	10	446,429
MTIA 450			1,800	1.60	2.88	5.5	8	347,222
MTIA 500			2,200	1.60	3.52	7.0	6	284,091
Trainium 3			800	1.60	1.28	2.8	17	781,250
Trainium 4			1,100	1.60	1.76	3.5	13	568,182
TPU v7p (Ironwood)			600	1.81	1.09	2.9	16	920,810
TPU v8i (Sunfish, Broadcom)			850	1.81	1.54	3.9	12	649,984
TPU v8t (Zebrafish, MediaTek)			500	1.81	0.91	2.3	20	1,104,972
TPU v9 (Humufish, MediaTek)			1,100	1.81	1.99	4.0	11	502,260

자료: KUVIC 리서치 2팀

이를 총 칩수요로 환산하면 다음과 같다.

표 5. GPU/ASIC 수요 (단위: 천 개)

구분	2026	2027	2028	2029	2030
GPU (엔비디아·AMD)	10,071	11,577	7,638	6,768	6,070
아마존 Trainium	1,773	2,195	3,247	3,739	3,739
구글 TPU	2,859	3,923	4,748	4,586	4,677
마이크로소프트 Maia	171	552	718	682	773
메타 MTIA	156	611	792	773	795
소계 — 자체 ASIC	4,960	7,282	9,505	9,780	9,984
총 칩 수요	15,031	18,859	17,143	16,548	16,054
ASIC 비중	33.0%	38.6%	55.4%	59.1%	62.2%

자료: KUVIC 리서치 2팀

가속기 외 패키징 수요: Vera CPU 1:1 탑재 전환

Vera CPU 수요
GPU:CPU 비율
2:1 > 1:1

가속기 외에 CoWoS 라인을 대규모로 점유하는 핵심 변수는 엔비디아의 Vera CPU다. 베라루빈 NVL72는 GPU 72개에 CPU 36개가 결합되는 '2:1' 구조이나, 루빈 울트라 세대의 Kyber 랙(NVL576)부터는 패키지 144개와 CPU 144개가 '1:1'로 매칭된다. 이는 루빈 울트라 세대부터 GPU 대비 Vera CPU의 패키징 강도가 2배로 급등함을 의미한다. 이에 따른 CPU 수요 산출 결과는 다음과 같다.

표 6. Vera CPU 수요 (단위: 천 개)

구분	2026	2027E	2028E	2029E	2030E
GPU 증분 GW (엔비디아·AMD)	20.1	32.2	29.2	28.2	25.3
루빈 GPU 칩	227.7	6,998.8	2,580.9		
루빈울트라 GPU 칩		275.8	4,807.1	1,885.4	
파인만 GPU 칩			250.4	4,882.6	6,069.6
Vera 배수 — NVL72	0.5x	0.5x	0.5x	0.5x	0.5x
Vera 배수 — NVL576	1.0x	1.0x	1.0x	1.0x	1.0x
Vera CPU 수요	113.9	3,775.2	6,348.0	6,768.0	6,069.6

자료: KUVIC 2팀 추정

HBM 수요
GW 증가 정체에도
가속되는 성장

HBM 수요 추정

본 리서치팀은 AI 데이터센터 증분 전력(GW)을 칩 단위로 환산하는 방식으로 HBM 수요를 산출했다. 총 HBM 수요는 2026년 4,443 PB, 2027년 6,682 PB, 2028년 10,713 PB로 연평균 55% 증가한다. 전력 기준 총 GW 는 26.3 → 43.0 → 45.2 로 2027 년 이후 사실상 정체하나, HBM 수요는 오히려 가속한다. 수요를 견인하는 것은 설비 증설이 아니라 가속기 세대 전환에 따른 GW 당 HBM 원단위 상승이다.

GPU 가 수요의 78~80%를 차지한다. GPU HBM은 3,486 → 5,055 → 8,217 PB로 확대되며, GW 당 원단위는 150 → 140 → 242 PB/GW로 움직인다. 2027년의 원단위 하락은 Rubin 이 GB300과 동일한 288GB 를 탑재하면서 랙 전력만 150kW 에서 227kW 로 올라 1GW 당 칩 수가 34% 감소하기 때문이다. 수요 둔화가 아닌 아키텍처 전환에 따른 일시적 공백으로 판단한다. 2028 년 원단위가 73% 급등하는 것은 전적으로 Rubin Ultra 때문이다. 패키지당 HBM4e 를 16 스택, 총 1,024GB 탑재하는 이 제품이 2028 년 GPU 믹스의 68.6%를 차지한다. GB300 대비 패키지당 HBM 탑재량이 3.6 배다.

ASIC은 957 → 1,628 → 2,496 PB로 확대되며 비중은 21.5%에서 23.3%로 소폭 상승한다. 구글 TPU가 ASIC 수요의 53~65%로 압도적이며, 2027년 TPU v8i·v8t 전환(192GB → 288GB·216GB)이 최대 증분 요인이다. 2028년에는 Trainium 4(288GB, 전세대 대비 2배)와 MTIA 450(288GB)이 가세한다. 다만 ASIC 세대 믹스는 브로커의 CoWoS 웨이퍼 배분 비중에 의존하고 있어, 파운드리 첨단 패키징 배분이 재조정될 경우 변동 가능성이 있다.

수요 구성에는 엔터프라이즈 잔차가 포함된다. 하이퍼스케일러 4사의 GPU 물량을 엔비디아 데이터센터 세그먼트 비중으로 그로스업한 뒤, 네오클라우드·소버린·AI 랩 등 개별 확인 가능한 물량을 차감한 잔차를 엔터프라이즈 수요로 산입했다. 규모는 3.1 → 3.9 → 4.7 GW로 전체 GPU-GW의 13~14% 수준이다. 엔비디아 비하이퍼스케일 매출 비중이 2026년 54%에서 2028년 60%로 상승하는 추세를 반영한 값이다.

표 7. HBM 수요 추정 (단위: PB)

항목	2026E	2027E	2028E
GPU HBM	3,486	5,054	8,217
ASIC HBM	957	1,628	2,496
총 HBM 수요	4,443	6,682	10,713

자료: KUVIC 리서치 2팀 추정

칩 개수는 감소, 후공정 복잡도는 증가

회로 형성부터 칩 완성까지

반도체 공정은 크게 웨이퍼 위에 회로를 새기는 전공정과, 완성된 웨이퍼를 절단하고 조립해 실제 사용 가능한 칩으로 만드는 후공정으로 나뉜다. 과거 후공정은 전공정의 부속 공정에 가까웠다. 칩을 자르고 와이어로 연결해 물딩하는 단순 조립이었고 부가가치도 전공정에 비해 낮았다. 그러나 미세화가 물리적 한계에 부딪히면서 성능 향상의 축이 '더 작게'에서 '더 많이 붙이기'로 옮겨갔다. 2.5D·3D 적층, 칩렛, TSV, HBM이 모두 후공정 영역에서 벌어지는 일이며, AI 가속기 한 개를 만드는 데 필요한 후공정 공정 수와 난이도는 세대마다 배로 늘어난다.

이 전환은 AI 데이터센터의 전력 제약과 맞물리면서 수요 구조를 뒤집는다. 전력 효율화로 칩 수는 줄어드는 반면, 그 칩을 올리는 인터포저의 면적은 급격히 팽창하기 때문이다. 칩당 전력이 블랙웰 1,400W에서 파인만 3,000W로 오르면서 1GW를 채우는 데 필요한 GPU는 50.1만 개에서 24.0만 개로 반감된다. 동시에 레티클 한계 배수는 블랙웰 3.3배에서 루빈 5.5배, 루빈 울트라 9배, 파인만 14배로 확대되며, 300mm 웨이퍼 한 장에서 얻을 수 있는 양품 인터포저 수(CoWoS 기준)는 블랙웰 14개에서 파인만 3개로 급감한다. 전력당 칩 수 감소와 웨이퍼당 산출량 감소가 맞물리면서 1GW당 요구되는 웨이퍼 수는 블랙웰 4.1만 장, 루빈 3.9만 장, 루빈 울트라 4.8만 장으로 단순 증가가 아닌 세대 특성에 따른 진동 양상을 보인다. 랙 전력만으로 웨이퍼 수요를 추정할 수 없는 구조적 이유다.

결국 이 구간의 본질은 칩 개수가 줄어드는 대신 한 개당 공정 복잡도가 올라간다는 것이다. 총 AI 칩 수요는 2028년 23.5백만 개를 정점으로 감소하지만, 같은 칩 한 개를 만드는 데 들어가는 공정은 계속 무거워진다. 인터포저가 커지는 것에 더해 컴퓨트 다이는 SolC 하이브리드 본딩으로 적층된 뒤에야 그 인터포저에 올라간다. 앞서 언급한 '더 많이 붙이기'가 실제 수치로 나타나는 지점이다. 웨이퍼 수요의 정점이 칩 수요보다 한 해 늦은 2029년에 형성되는 것도, 개수 기준으로는 역성장인 구간에서 SolC 수요가 3년간 10배 증가하는 것도 같은 이유다. 후공정은 개수로 세면 축소되는 시장이고 공정 단계로 세면 확대되는 시장이다.

패키징의 종류

3D Fabric이 뭔데?

TSMC의 '3D Fabric'은 반도체 미세공정의 한계를 극복하기 위해 칩을 어떻게 배치하고 연결할 것인가에 대한 포괄적인 기술 로드맵으로, SoIC, CoWoS, InFO 등의 3D 실리콘 스택킹 및 첨단 패키징 솔루션을 모두 아우르는 통합 브랜드이다.

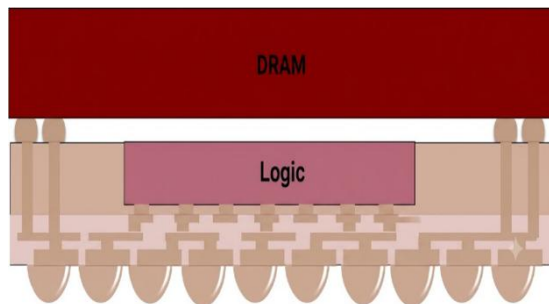
InFO

모바일 담당자 InFO

모바일 프로세서는 InFo

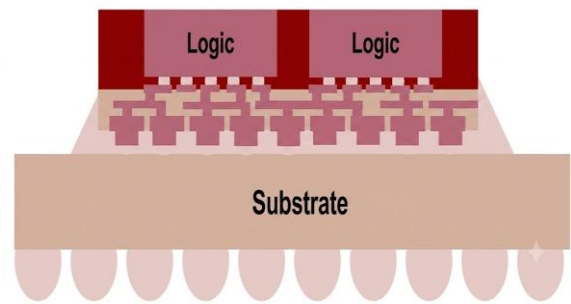
InFO(Integrated Fan-Out) 패키징은 칩의 배치 방식에 따라 크게 두 가지 형태로 구분된다. 먼저 InFO-PoP는 주로 모바일 AP에 사용되는 수직 적층 구조이다. 하단에 CPU, GPU, NPU 등의 로직 다이를 흑색 몰딩 컴파운드로 매립하고 그 위에 DRAM 메모리 다이를 얹는데, 이때 몰딩을 수직으로 관통하여 상단의 DRAM과 하단의 RDL(재배선층)을 직접 연결하는 기둥 형태의 통로(TMV)를 형성한다. RDL은 접점을 더 넓은 면적으로 펼쳐서 메모리 기판과의 최종 접점인 솔더 볼과 연결해 주는 역할을 한다. 반면 InFO-oS는 로직 다이 자체를 쪼개어 여러 개를 수평으로 나란히 배치하여 결합하는 구조로, 분할된 로직 다이들을 묶어내어 단일 패키지로 구성하는 데 특화되어 있다.

그림 16. InFO-PoP 구조



자료: KUVIC 리서치 2팀, TSMC

그림 17. InFO-oS 구조



자료: KUVIC 리서치 2팀, TSMC

CoWoS, CoPoS

CoWoS-S, CoWoS-R, CoWoS-L

2.5D 패키징은
CoWoS, CoPoS

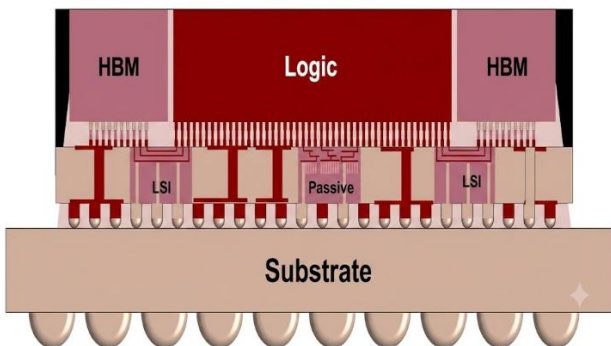
TSMC의 핵심 2.5D 패키징 기술인 CoWoS는 칩과 기판 사이에서 고속 신호를 전달하는 인터포저 (Interposer)의 소재와 구조에 따라 크게 CoWoS-S, CoWoS-R, CoWoS-L 세 가지 형태로 구분된다. 인터포저는 상단의 GPU/NPU와 HBM 간 통로 역할을 하는 핵심 중간층으로, 어떤 재료를 선택하냐에 따라 패키지 전체의 미세 회로 밀도, 면적 확장성, 휘어짐(Warping) 제어 능력, 그리고 제조 단가가 결정된다. 따라서 엔비디아를 비롯한 글로벌 빅테크 기업들은 자사 AI 가속기의 세대별 성능과 수율 목표에 맞춰 최적의 CoWoS 타입을 선택하고 있다.

가장 먼저 하이엔드 표준으로 자리 잡은 CoWoS-S는 통 실리콘(판 전체)을 인터포저로 활용하는 방식이다. 반도체 전공정 기술을 적용할 수 있어 회로 선폴이 극도로 미세하고 데이터 전송 속도가 매우 빠르다는 강점이 있어 엔비디아 A100, H100, H200 등 초기 주력 AI 가속기에 전면 채택되었다. 하지만 실리콘 소재 자체의 단가가 높고, 반도체 노광 장비의 한 화면 촬영 범위(레티클) 한계 때문에 면적을 늘릴수록 제조 비용이 급증하고 수율이 떨어지는 물리적 한계에 부딪혔다.

이를 극복하기 위해 등장한 CoWoS-R은 실리콘 대신 플라스틱 계열의 유기물(Organic) 소재와 재배선층(RDL)을 조합해 단가를 낮추고 대면적 패키징 시 휘어짐 현상을 유연하게 흡수하도록 설계되었으나, 유기물 특성상 매우 미세한 회로 밀도를 구현하는 데는 제약이 있었다.

이 두 기술의 장점만을 결합해 차세대 AI 반도체의 표준으로 떠오른 기술이 바로 CoWoS-L이다. CoWoS-L은 유기물 RDL 기반의 넓고 가성비 좋은 인터포저를 베이스로 사용하되, GPU와 HBM이 직접 데이터를 주고받는 초고속 신호 구간에만 'LSI'라 불리는 아주 작은 실리콘 브릿지를 꼭 박아 넣는 하이브리드 방식을 취한다. 이를 통해 CoWoS-S 수준의 초고속 데이터 전송 성능을 유지하면서도, 레티클 한계를 넘어 2개 이상의 거대한 로직 다이와 8~12개 이상의 HBM을 한 판에 집적하는 대면적 확장이 가능해졌다. 실제 엔비디아 역시 H100 시절의 CoWoS-S에서 차세대 블랙웰(B200, GB200) 아키텍처부터는 CoWoS-L로 전면 세대교체를 단행하였으며, 이는 패키징 산업이 단일 재료 구조에서 이종 재료 융합 및 실리콘 브릿지 중심으로 빠르게 진화하고 있음을 보여주는 대표적인 사례다.

그림 18. CoWoS-L 구조



자료: KUVIC 리서치 2팀, TSMC

표 8. CoWoS-S/ CoWoS-R/ CoWoS-L 특징 비교

	장점	한계	적용 세대
CoWoS-S	초고속 전송, 신호 무결성	단가 높음, 수율이 떨어짐	엔비디아 A100, H100, H200
CoWoS-R	단가 절감, 휘어짐 흡수 유연	미세한 회로 밀도 구현에 제약	네트워크/통신 계열 제품
CoWoS-L	전송 성능 최대, 레티클 한계 극복	공정 복잡성	엔비디아 블랙웰 이후

자료: KUVIC 리서치 2팀, TSMC

2.5D 패키징
웨이퍼 수요의
정점은
GPU/ASIC과
함께 2028년

GPU와 ASIC 기반 GW당 웨이퍼 장수 및 총수요

위와 같은 TSMC CoWoS의 수요의 경우 세대별 스펙을 연도별 믹스로 가중 평균하여 카테고리별 '1GW당 인터포저 웨이퍼 장수'를 도출했다. GPU는 2028년 45,388장으로 정점을 찍고 2030년 4만 장 수준으로 하락한다. 2028년의 정점은 GW당 48,000장을 요구하는 루빈 울트라가 세대 믹스의 68.6%를 점유하기 때문이다. 반면 ASIC은 구조에 따라 원단위가 크게 갈려, 인터포저가 큰 구글 TPU는 2026년 5.6만 장으로 가장 높고 마이크로소프트 Maia는 웨이퍼당 산출량이 29개에 달해 2.9만 장 수준으로 가장 낮다.

이를 증분 GW와 곱산하면, 글로벌 AI 가속기 인터포저 웨이퍼 수요는 2026년 104.6만 장에서 2028년 206.1만 장으로 Peak를 달성한다. 중요한 점은 GPU 웨이퍼 수요가 2028년 132.6만 장을 기점으로 2030년 101.2만 장까지 감소세로 전환되지만, ASIC 물량이 2026년 31.4만 장(30.0%)에서 2030년 89.9만 장(47.0%)으로 대폭 확대되며 전체 패키징 수요의 하방을 단단히 방어하는 구조라는 것이다.

Vera CPU는 컴퓨트 다이 1개에 CoWoS-R을 적용해 웨이퍼당 23개가 산출된다. 랙 구성비를 반영하면 Vera 웨이퍼 수요는 2026년 0.5만 장에서 2027년 16.4만 장, 2028년 27.6만 장으로 폭증한다. TSMC가 Vera 대응을 위해 CoWoS-R 캐파를 별도로 공격 증설하는 배경이다. 네트워킹 및 머천트 ASIC 등을 합산한 가속기 외 총 CoWoS 수요는 2026년 12.5만 장에서 2030년 93.4만 장에 달하며, 범용 서버용인 AMD Venice CPU 역시 동일한 라인을 점유하므로 TSMC 가동률 산정 시 포함하여 추정을 진행하였다.

표 9. AI 가속기 인터포저 웨이퍼 수요

구분 (단위: 천 장)	2026E	2027E	2028E	2029E	2030E
GPU (엔비디아)	732	1,237	1,326	1,191	1,012
아마존 Trainium	104	129	222	288	288
구글 TPU	185	269	342	357	382
MS Mata	9	50	79	85	97
메타 MITA	16	62	92	111	133
합계	1,046	1,748	2,061	2,032	1,910
월평균	87	146	172	169	159
YoY		67.2%	17.8%	(1.4%)	(6.0%)

자료: KUVIC 리서치 2팀 추정

표 10. 최종 웨이퍼 장수 추정

구분	2026E	2027E	2028E	2029E	2030E
GW 당 웨이퍼 (세대 믹스 반영, 장)	36,387	38,452	45,388	42,229	40,000
아마존 Trainium - GW 당 웨이퍼 (장)	45,956	45,956	44,606	43,706	43,706
구글 TPU - GW 당 웨이퍼 (장)	56,133	53,888	51,885	49,650	48,320
MS Maia - GW 당 웨이퍼 (장)	29,345	31,566	33,933	35,511	35,511
메타 MTIA - GW 당 웨이퍼 (장)	44,643	44,519	43,775	45,376	47,348
Vera 배수 - 루빈 (NVL72: Rubin 72 + Vera 36)	0.50	0.50	0.50	0.50	0.50
Vera 배수 - 루빈울트라-파인만 (NVL576: 144 + 144)	1.00	1.00	1.00	1.00	1.00
CoWoS 웨이퍼당 Vera CPU (개)	23				
CoWoS 웨이퍼당 Venice CPU (개)	21				

자료: KUVIC 리서치 2팀 추정

CoPoS가 쏘아 올린 경제성

CoPoS는
패키징 쇼티지
완화의 경제적
해결책

TSMC의 CoWoS 캐파는 2024년 말 월 3.5만 장에서 2025년 말 7만 장, 2026년 말 14만 장으로 확대되며 2022~2027년 CAGR 80%를 상회하는 증설 사이클에 진입했다. 그럼에도 수요 모델 기준 2.5D 가동률은 2026년 111.5% 2027년 123.8%로 100%를 상회한다.

표 11. CoWoS 수요/공급 및 가동률

구분 (단위: 천 장)	2026E	2027E	2028E	2029E	2030E
AI 가속기 웨이퍼 수요 (CoWoS 환산)	1,046	1,748	2,102	2,846	2,922
CPU-네트워킹, 머천트 ASIC	125	592	826	924	934
총 CoWoS 환산 수요	1,171	2,341	2,928	3,770	3,856
TSMC CoWoS 캐파	1,050	1,890	2,730	3,360	3,360
가동률	111.5%	123.8%	107.3%	112.2%	114.7%

자료: KUVIC 리서치 2팀 추정

패널 기반 CoPoS는 이 국면의 구조적 해법으로 거론되어 왔다. 유효 처리면적이 웨이퍼 4.03만mm² 대비 패널 7.78만mm²로 1.93배에 달해 다이당 자본집약도를 약 30% 낮출 수 있기 때문이다.

경제성은 명확하나 도입 시점은 기술 검증에 묶여 있다. 패널 대형화에 따른 웨이퍼 휨 현상이 최대 난제로 지목되며, 유리기판을 포함한 차세대 기판 검증도 같은 구간에 걸쳐 있다. 여기에 패널 규격이 업계 표준으로 수렴하지 않은 점 역시 다수 고객 확산의 선결 과제다. 파일럿 라인인 2026년 상반기 가동에 들어갔고 양산 거점은 자이 AP7로 예정되어 있으나, 양산 시점은 2029년으로 제기된다. TSMC가 2026년 북미 기술 심포지엄에서 제시한 CoWoS 로드맵은 2028년 14-reticle, 2029년 14배 초과 인터포저까지 확장되며, 파인만급 인터포저(12,012mm² = 14-reticle) 역시 CoWoS로 구현 가능하다.

CoPoS를 캐파 부족의 기술적 해법이 아닌 경제적 해법으로 이해해야 한다. CoWos가 2028년까지의 증설을 마무리하고, 초과분을 CoPoS로 전환하기 시작하면 2.5D 패키징의 합산 CapEx 부담은 점차 완화되고, 2030년에 증설 필요성이 사라진다.

표 12. CoPoS 믹스를 통한 2.5D 패키징 CAPEX 완화

구분 (단위: 천 장)	2026E	2027E	2028E	2029E	2030E
필요패널 (1k/년 - CoWoS)	61	307		134	220
필요패널 (1k/년 - CoPoS)	31	159		70	114
연간 가용 캐파 (1k/패널)			15	72	114
가동률 - CoPoS			0.00%	96.60%	99.70%
연간 순증설 (천 패널/연)			60	48	24
CoPoS 증설 CapEx (\$B)			0.90	0.70	0.30
패키징 CapEx 합계 (\$B)	15.00	20.50	32.70	43.40	0.30
TSMC 총 CapEx 대비 비중	21.40%	22.80%	29.70%	33.40%	0.40%

자료: KUVIC 리서치 2팀 추정

인텔 EMIB와 삼성
I-Cube의
낙수효과

2.5D 패키징 쇼티지의 낙수효과

AI 반도체 수요 확대로 TSMC의 CoWoS 생산능력이 사실상 완전 가동 수준에 도달하면서 첨단 패키징 공급 부족이 심화되고 있다. 히 엔비디아가 가용 물량 대부분을 선점함에 따라 팹리스 업체들은 리드타임 단축과 공급망 다변화를 위해 인텔(Intel)과 삼성 파운드리를 대체 공급처로 검토할 가능성이 크다.

2.5D 패키징 영역에서는 Intel의 EMIB, EMIB-T와 삼성 파운드리의 I-Cube, H-Cube가 TSMC의 CoWoS에 대응하고 있다. EMIB는 다이 연결부에만 소형 실리콘 브리지를 적용해 대형 인터포저 대비 원가와 설계 효율을 높이며 EMIB-T는 TSV를 추가해 전력 공급 성능을 개선한다. 삼성의 I-Cube는 로직과 HBM을 실리콘 인터포저 위에 배치하며 H-Cube는 유기기판을 결합해 대면적 패키징 및 다중 HBM 탑재 요구에 최적화되었다.

표 13. 2.5D 패키징 3사 수요/공급 및 가동률

구분 (단위: 천 장)	2026E	2027E	2028E	2029E	2030E
수요 - 전량 CoWos 환산	1,171	2,341	2,928	3,770	3,856
업계 합산 연간 가용 캐파	1,110	2,034	3,006	3,636	3,636
가동률 - 업계 합산	105.5%	115.1%	97.4%	103.7%	106.0%

자료: KUVIC 리서치 2팀 추정

SolC

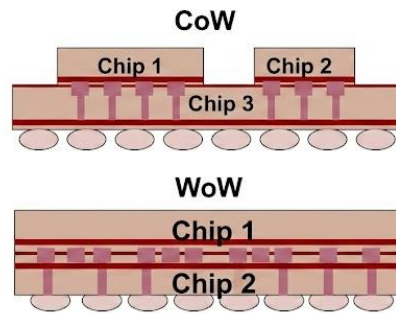
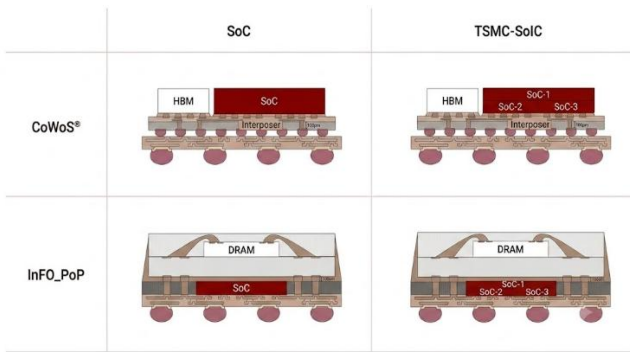
SolC로 가야하는 이유

3D는 기존의 패키징 공간을 수직으로 확장

차세대 3D 적층 기술인 SolC(System on Integrated Chips)는 기존 방식을 뛰어넘는 3D 칩 통합 기술이다. 크기, 기능, 웨이퍼 공정 노드가 서로 다른 검증된 양품 다이들을 하나의 칩처럼 묶어내는 이종 통합을 구현한다. SolC로 겹겹이 쌓아 뭉쳐진 칩은 겉보기엔 단일 SoC처럼 보이지만 내부적으로는 이종 기능들이 고밀도로 집적되어 있으며, 이 칩은 그 자체로 다시 CoWoS나 InFO 위로 얹혀질 수 있는 확장성을 지닌다. SolC는 다이 두 개를 거의 맞닿을 정도로 밀착시킨 후 초미세 범프로 직접 연결하는 하이브리드 본딩을 사용한다. 10마이크론 미만의 피치를 구현하는 이 짧은 다이-투-다이 연결은 폼팩터를 크게 줄이면서도 대역폭과 신호 무결성을 극대화하고 전력 소모를 최소화한다. 공정 방식 또한 다이를 먼저 날개로 잘라 양품만 골라 웨이퍼 위에 부착하는 CoW 방식과, 공정이 안정화되어 수율이 높을 때 자르지 않은 웨이퍼 두 장을 통째로 정렬해 한 번에 부착하고 마지막에 잘라내는 WoW 방식을 모두 지원한다.

그림 19. SolC 기술 활용 구조

그림 20. SolC의 CoW 및 WoW 방식



자료: KUVIC 리서치 2팀, TSMC

자료: KUVIC 리서치 2팀, TSMC

SolC 수요 추정: CoWoS 상단에 얹히는 3D 이종 집적 레이어

SOIC 수요:
AMD CPU는 이미 적용
GPU는 루빈 울트라 세대부터

SolC 수요는 기존 CoWoS 물량을 차감하는 것이 아니라, 실리콘 인터포저 상단에 추가되는 별도의 이종 집적 레이어(Attach)로 산출된다. 전체 GPU 풀을 분할해 보면, AMD는 MI300 세대부터 하이브리드 본딩을 전면 도입하여 100%의 채택률을 가정한다. 반면 엔비디아는 루빈 세대까지 듀얼 다이 구조(0%)를 유지하다가, 루빈 울트라 세대에서 보수적 병행 채택(35%)을 시작하고 파인만 세대에 이르러 LPU 수직 적층을 통해 전면 도입(100%)으로 전환하는 계단식 램프업을 거친다.

이러한 세대 믹스를 가중 평균할 경우 엔비디아의 실질 SolC 채택률은 2027년 1.3%에서 2028년 27.6%, 2029년 81.9%로 급상승하며 2028년이 구조적 변곡점으로 작용한다. 이에 따라 애플 물량이 완전히 배제되는 2028년 이후에도 데이터센터 중심의 총 SolC 웨이퍼 수요는 2027년 36.2만 장에서 2029년 113.0만 장으로 폭증하며, 결과적으로 전체 GPU 웨이퍼 내 SolC 침투율은 2030년 100%에 가깝게 수렴하게 된다.

표 14. GPU 내 AMD

구분	2026E	2027E	2028E	2029E	2030E
GPU 소계 GW (NVIDIA+AMD)	20.1	32.2	29.2	28.2	25.3
AMD 의 GPU GW 내 비중	10.0%	18.0%	20.0%	20.0%	20.0%
APD GPU GW	2.0	5.8	5.8	5.6	5.1
NVIDIA GPU GW	18.1	26.4	23.4	22.6	20.2

자료: KUVIC 리서치 2팀 추정

표 15. SoIC 채택률

항목	SoIC 채택률	근거
Blackwell/Blackwell Ultra	0.0%	CoWoS-L 2.5D 유지
Rubin	0.0%	듀얼 다이 유지, N3P+CoWoS-L 지속
Rubin Ultra	35.0%	SoIC 병행은 거론되나 아직 듀얼 다이 중심 보수적 적용
Feynman/Feynman Ultra	100.0%	SoIC 사용량 급증 변곡점 LPU를 CPU 코어 위 3D 적층
AMD	100.0%	MI 300 세대부터 SoIC 3D 하이브리드 본딩 상용 채택 중

자료: KUVIC 리서치 2팀 추정

표 16. 세대 믹스 비율 가정

구분	2026E	2027E	2028E	2029E	2030E
Blackwell	27.9%	0.0%	0.0%	0.0%	0.0%
Blackwell Ultra	68.6%	27.9%	0.0%	0.0%	0.0%
Rubin	3.6%	68.6%	27.9%	0.0%	0.0%
Rubin Ultra	0.0%	3.6%	68.6%	27.9%	0.0%
Feynman/Feynman Ultra	0.0%	0.0%	3.6%	72.1%	100.0%
NVIDIA 가중 SoIC Attach	0.0%	1.3%	27.6%	81.9%	100.0%

자료: KUVIC 리서치 2팀 추정

SoIC 증설 사이클은 더 가파르다

2.5D 패키징의 증설
사이클 완화에 따라
SOIC CapEx
투자여력 발생

SoIC는 CoWoS 증설의 그늘에 가려져 있었다. 제약은 자본 집약도에 있다. SoIC 증설은 2026년 기준 장/월 당 \$6.8B로 CoWoS \$1.28B의 5.3배에 달해, 동일 규모 증설에 5배의 자본이 필요하다. TSMC가 패키징 CapEx 비중을 공시 상단 20%에 고정하고 CoWoS, CoPoS CapEx를 차감한 전액을 SoIC에 투입한다면, 2029년 가동률이 135.8%로 공급 제약이 해소되지 않았다. 이는 SoIC 부족이 자본 배분의 재조정만으로 풀리는 문제가 아니며, 패키징 CapEx 비중 자체의 상향 또는 3D 채택률 조정 요구를 의미한다.

SoIC은 2024년 말 월 5천 장, 2025년 말 1만 장으로 같은 시점 CoWoS 캐파의 7분의 1 수준에 머물렀고, 자본 배분 후순위에 머물렀다. 엔비디아 루빈 울트라와 파인만, AMD MI 시리즈가 하이브리드 본딩을 전면 채택하며 당사 모델 기준 SoIC 웨이퍼 수요는 2027년 33.3만 장에서 2029년 113.0만 장으로 3.4배 증가한다. 그러나 TSMC가 공시한 SoIC 캐파 CAGR 90%(2022~2027)를 실적치인 2025년 말 1만 장을 반영하면 2026년 말 1.9만 장, 2027년 말 3.6만 장이 도출된다. 결과적으로 첨단 패키징 자본지출의 무게중심은 2027년을 기점으로 CoWoS에서 SoIC로 이동하며, TSMC의 패키징 배분 비중이 공시 밴드 상단을 넘어서는 시점이 이 전환을 확인하는 지표가 될 것으로 전망한다.

애플은 M5에서 SolC-mH를 채택해왔다. 그러나 2027년 하반기 출시 예정인 M7부터는 SolC가 아닌 WMCM(Wafer-level Multi-Chip Module)으로 전환된다. WMCM은 TSMC가 기존 InFO-PoP를 고도화해 2026년 런칭한 계열로, 실리콘 인터포저나 하이브리드 본딩 없이 웨이퍼 레벨 재배선으로 복수 다이를 통합하는 구조이다. 따라서 본 리서치 팀은 애플 물량을 2028년 이후에는 SolC 수요에 가산하지 않으며, 엔비디아, AMD 등 하이퍼스케일러 인프라 수요만을 집계하였다. 이는 앞서 제시한 2029년 SolC 수요 113만 장이 보수적 기준임을 의미하는 동시에, 애플 이탈로 SolC 캐파 경쟁에서 인프라 고객의 우선순위가 더 높아진다는 뜻이다. WMCM은 InFO의 Capa의 일부가 할당될 예정이며, 구체적인 일정은 아직 제시되지 않았다.

표 17. SolC 단독 수요/공급 및 가동률

구분	2026E	2027E	2028E	2029E	2030E
SolC 웨이퍼 수요	133	362	643	1,130	1,123
TSMC SolC 연간 가용 캐파	147	279	531	1,008	1,008
가동률 - TSMC 단독	90.4%	129.5%	121.2%	112.1%	111.4%

자료: KUVIC 리서치 2팀 추정

3D 패키징 쇼티지의 낙수효과

3D 패키징 쇼티지
수혜는 Intel
Foveros

3D 패키징 영역에서는 Intel의 Foveros, Foveros Direct와 삼성의 X-Cube가 TSMC의 SolC와 경쟁 구도를 이룬다. Intel의 Foveros는 서로 다른 공정의 칩렛을 마이크로범프로 수직 적층하며 Foveros Direct는 SolC와 마찬가지로 범프 없는 Cu-Cu(구리-구리) 하이브리드 본딩을 적용해 접합 피치를 줄이고 대역폭과 전력 효율을 높인다. 삼성의 X-Cube도 TSV 기반으로 로직과 메모리를 수직 적층하며 향후 하이브리드 본딩 적용을 통해 SolC와의 기술 격차를 축소할 계획이다.

TSMC가 수율과 양산 경험 측면에서 우위를 유지하겠으나 CoWoS 공급 부족이 지속될수록 Intel과 삼성 파운드리에 오버플로 물량 확보 가능성은 높아질 전망이다. 결과적으로 Intel은 EMIB, Foveros와 미국 생산 거점 삼성은 HBM, 파운드리, 패키징을 결합한 턴키 역량을 기반으로 대만 외 2차 공급원으로 부상할 수 있다.

표 18. 3D 패키징 합산 수요/공급 및 가동률

구분	2026E	2027E	2028E	2029E	2030E
SolC 웨이퍼 수요	133	362	643	1,130	1,123
업계 합산 연간 가용 캐파	171	351	645	1,140	1,140
업계 합산 가동률	77.7%	102.9%	99.7%	99.1%	98.5%
업계 합산 대비 초과 수요		10			

자료: KUVIC 리서치 2팀 추정

메모리

TSV도 풀가동 예정

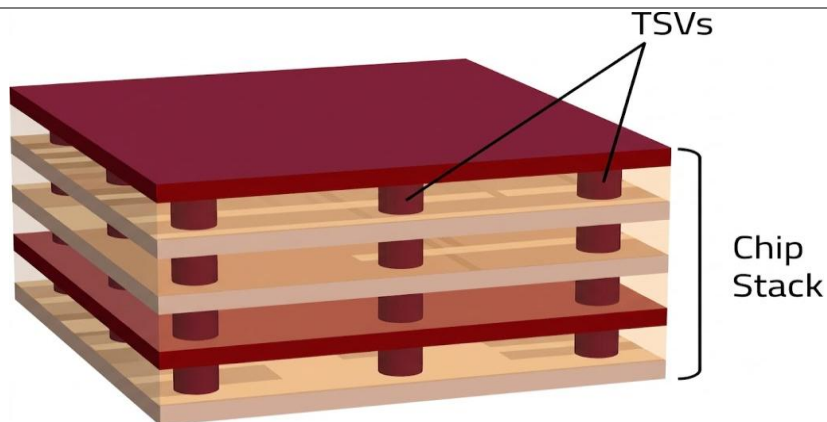
HBM 패키징은
메모리 3사가 전담

SolC가 GPU, CPU와 같은 로직 다이 위에 SRAM이나 또 다른 로직 다이를 수직으로 직접 결합하는 3D 이중 집적 기술이라면, HBM 적층은 TSV(실리콘 관통 전극) 기술을 기반으로 복수의 DRAM 다이를 수직으로 쌓아 올리는 'TSV 3D DRAM 적층' 기술을 의미한다. SolC는 마이크로범프를 없앤 하이브리드 본딩을 통해 로직 반도체의 연산 속도와 전력 효율을 극대화하는 데 초점이 맞춰져 있는 반면, HBM 적층은 한정된 공간에 극대의 메모리 대역폭을 확보하기 위해 메모리 셀을 고단으로 쌓는 데 목적이 있다.

HBM 묶음 내부를 뜯어보면 가장 아래에 '베이스 다이(Base Die 또는 Logic Die)'가 위치하고, 그 위로 실제 데이터 저장 공간인 '코어 DRAM 다이'들이 8단, 12단, 16단 형태로 적층된다. 베이스 다이는 상단에 쌓인 DRAM들과 하단의 GPU 및 CoWoS 인터포저 사이에서 신호를 통제하고 정렬하는 메인 길목 역할을 담당한다. 과거에는 베이스 다이도 메모리 공정으로 만들었으나, HBM4 세대부터는 파운드리 미세 공정을 활용해 고성능 로직 기능까지 탑재하는 추세다.

이러한 HBM 내부 DRAM 다이들은 현재 SK하이닉스의 MR-MUF나 삼성전자의 TC-NCF 공정을 통해 마이크로범프 형태로 접합되고 있으며, 두께 한계에 부딪히는 16단 이상부터는 HBM 내부 적층에도 SolC와 같은 범프리스 하이브리드 본딩이 도입될 예정이다. 결과적으로 차세대 AI 가속기는 SolC 기술로 연산 칩을 수직 집적한 3D 로직과 TSV 적층으로 완성된 'HBM 덩어리'를 CoWoS 실리콘 인터포저 상단에 수평(2.5D)으로 결합하여 완성되는 구조를 갖게 된다.

그림 21. TSV구조



자료: KUVIC 리서치 2팀

본 리서치팀은 AI 데이터센터 증분 GW를 칩 단위로 환산해 HBM 수요를 재산출하고, 이를 3사 TSV 캐파와 대조했다. 결론은 2026년 가동률 100.7%, 2027년 98.0%, 2028년 103.4% 다. 3년 내내 실질 풀가동이며, 특히 2028년은 캐파를 초과하는 수요가 재차 발생한다. HBM 수요는 4,443 → 6,682 → 10,713 PB로 연평균 55% 증가하는 반면, 이를 소화하는 데 필요한 웨이퍼는 391 → 532 → 780k wpm으로 늘어나 연환산 캐파 389 → 543 → 755k wpm을 지속적으로 압박한다.

2027년의 일시적 완화는 Rubin의 랙 전력 상승에 기인한다. Rubin은 GB300과 HBM 탑재량이 288GB로 동일한데 랙 전력이 150kW에서 227kW로 올라 1GW당 칩 수가 34% 감소한다. 그 결과 GPU HBM 원단위가 2026년 150 PB/GW에서 2027년 140 PB/GW로 오히려 하락하며, 이것이 2027년 가동률을 98%로 눌러 앉히는 유일한 요인이다. 수요 둔화가 아니라 아키텍처 전환에 따른 일시적 공백으로 판단한다.

2028년 반전의 실체는 Rubin Ultra다. 패키지당 HBM4e 1,024GB(16스택)를 탑재하는 Rubin Ultra가 2028년 GPU 믹스의 68.6%를 차지하면서 GPU HBM 원단위가 242 PB/GW로 전년 대비 73% 급등한다. ASIC도 같은 방향이다. Trainium 4(288GB), MTIA 450(288GB), TPU 8t(288GB) 등 세대 전환이 겹치며 ASIC

HBM 수요는 957 → 1,628 → 2,496 PB로 확대된다. 수요 측 원단위가 두 자릿수로 뛰는 구간에서 공급이 따라붙지 못하는 구조다.

공급 측 증설은 이미 물리적 한계에 근접했다. 3사 TSV 캐파는 2027년말 700k wpm에서 2028년말 918k wpm으로 증가하는데, 이는 3사 D램 총 캐파의 45%에 해당한다. 범용 D램 잠식 한계선을 정확히 채우는 수준이며, 증분으로 보면 +210k에서 +218k로 사실상 정체다. 자금 제약은 아니다. 신설 100%를 가정해도 소요 CapEx는 3사 메모리 CapEx의 36~46% 수준으로, 마이크론이 FY2026 CapEx를 \$13.8B에서 \$27B로 두 배 늘리며 HBM 장비 발주를 앞당기고 있는 점을 감안하면 조달 가능한 범위다. 병목은 돈이 아니라 클린 룸과 D램 잠식률이다.

표 19. HBM 수요 추정 및 TSV 캐파 비교

구분	2026E	2027E	2028E
필요 웨이퍼 (k wpm)	391	532	780
TSV 캐파 (k wpm)	398	543	755
TSV 가동률	100.7%	98.0%	103.4%

자료: KUVIC 리서치 2팀 추정

후공정 밸류체인

앞서 살펴본 비모메리 및 메모리 패키징 기업의 CapEx와 가동률 상향은 곧 후공정 밸류체인의 수혜로 이어진다. 크게 장비 수혜와 소모품 수혜로 나뉘지는데, 이 장에서는 크게 기판, 패키징, 테스트, OSAT로 분류해 이 수혜 강도를 살펴보기로 한다.

기판

기판의 역할

칩과 메인보드를 연결하는 신호와 전력의 통로

앞서 살펴본 CoWoS와 SolC 등 첨단 패키징 기술은 로직 다이와 HBM을 하나의 패키지로 통합한다. 통합된 칩 조립체는 패키지 기판을 통해 메인보드와 연결되며 이를 통해 외부와 신호를 주고받고 필요한 전력을 공급받는다. 첨단 패키지는 일반적으로 로직 칩, HBM → 인터포저, 브리지 → 패키지 기판 → 메인보드 순으로 구성되는데 인터포저와 브리지가 패키지 내부에서 로직 칩과 HBM을 고밀도로 연결한다면 패키지 기판은 통합된 조립체를 지지하면서 이를 시스템으로 내보내는 역할을 맡는다.

기판의 본질적 난도는 스케일이 다른 두 접속면을 하나로 잇는 데 있다. 상부의 칩, 인터포저와는 수십 μm 급 미세 범프로 하부의 메인보드와는 약 1mm급 솔더볼(BGA 볼)로 접속하는데 두 접속면의 피치가 한 자릿수 배를 넘는다. 기판은 내부의 다층 구리 배선과 마이크로비아로 이 피치 차이를 단계적으로 재배선(fan-out)해 조밀한 칩 측과 성긴 보드 측을 연결한다. 나아가 기판은 신호 재배선에 그치지 않고 전력, 접지를 분배하고 패키지를 기계적으로 지지하며 구동 중 발생하는 열과 응력을 분산한다. 배선 구조와 전기적 특성, 평탄도와 강성이 신호 무결성과 전력 전달뿐 아니라 접합 수율과 장기 신뢰성까지 좌우하는 이유다.

그림 22. 반도체 패키지 기판의 구조

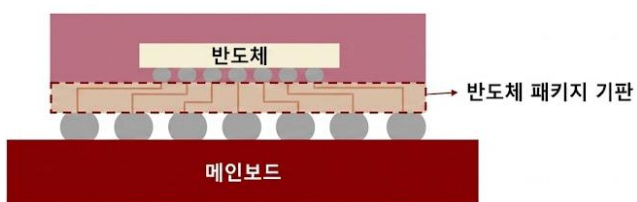


그림 23. FC-CSP와 FC-BGA의 차이



자료: KUVIC 리서치 2팀

자료: KUVIC 리서치 2팀

플립칩 기반 패키지 기판은 적용 제품과 기판 크기에 따라 FC-CSP와 FC-BGA로 구분된다. FC-CSP는 기판 크기가 칩의 약 120% 이내로 제한되고 수용 가능한 I/O가 통상 200개 이하 수준이어서 모바일 애플리케이션 프로세서 등 소형 반도체에 쓰인다. 반면 FC-BGA는 칩보다 큰 기판을 채택해 이 제약에서 자유로우며 수백 개를 넘어 수천~수만 개 단위의 I/O와 전력 배선을 수용한다. 특히 칩 주변부에만 패드를 두는 방식과 달리 면적 전체에 단자를 배열하는 area-array 구조는 단위 면적당 I/O 밀도를 주변배열 대비 약 4~10배까지 끌어올린다. AI GPU, ASIC과 서버 CPU에 FC-BGA가 사실상 표준으로 자리 잡은 것은 이 수용 용량 격차 때문이며 FC-BGA는 칩 또는 인터포저 조립체를 기판 상부에 플립칩 범프로 접합하고 하부 솔더볼로 메인보드와 잇는 구조다.

칩을 뒤집어 범프로 직접 접합하면 신호 경로가 와이어 본딩의 수 mm 수준에서 다이 두께에 해당하는 수 백 μm 수준으로 짧아진다. 경로 길이가 한 자릿수 배 이상 줄면서 기생 저항, 인덕턴스, 커패시턴스가 함께 감소해 고주파, 고속 신호의 손실이 완화되고 칩 주변부로 한정되던 패드를 전면 배치할 수 있어 I/O 밀도와 대전류 공급 능력이 동시에 올라간다. 대가로 넓고 얇은 기판에 미세회로를 다층으로 형성해야 하는데 현재 고성능 FC-BGA는 $70\times 70\sim 100\times 100\text{mm}$ 면적에 14~16층 안팎, 선폭 간격 $2\mu\text{m}/2\mu\text{m}$ 급 미세배선을 요구한다. 칩렛 설계 확산으로 최근 2년간 ABF 기판의 요구 층수가 약 28% 증가한 점은 사양 상승 속도를 보여준다.

유기기판

현재 AI 가속기용 FC-BGA는 대부분 유기코어와 ABF 빌드업층으로 구성된다. 여기서 FC-BGA는 패키지의 접합 구조와 형태를 의미하고, 유기기판은 기판을 구성하는 소재 체계를 의미한다. 따라서 FC-CSP와 메모리용 패키지 기판에도 유기 소재가 사용될 수 있으며 FC-BGA 역시 향후 중앙 코어를 유리로 전환한 유리코어 기판으로 발전할 수 있다.

유기 FC-BGA는 일반적으로 중앙 코어층과 그 위아래에 반복적으로 형성되는 빌드업층으로 구성된다. 코어층은 기판의 강성을 확보하고, 빌드업층은 칩 또는 인터포저 측의 미세한 입출력 단자를 기판 하부의 넓은 솔더볼 배열로 재배선한다. 빌드업층의 절연재로는 주로 ABF(Ajinomoto Build-up Film)가 사용되는데 ABF 절연층 위에 미세 구리 배선과 마이크로비아를 반복적으로 형성함으로써 높은 입출력 밀도와 고다층 회로를 구현한다. ABF 기반 빌드업 기판은 BT 기반 기판보다 미세배선과 높은 I/O 구현에 유리해 CPU, GPU, FPGA, AI ASIC용 FC-BGA에 주로 적용된다.

유기 FC-BGA는 먼저 중앙 코어에 관통홀과 기본 회로를 형성하고 구리 도금을 통해 기판의 상하부를 연결하는 방식으로 제조된다. 이후 코어 위아래에 ABF 절연필름을 적층하고 레이저로 마이크로비아를 가공한 뒤 노광, 현상과 구리 도금을 거쳐 미세배선을 형성한다. 이러한 빌드업 공정을 요구되는 층수만큼 반복한 뒤 표면처리와 외형 가공 및 검사를 거쳐 기판을 완성한다. 최근에는 mSAP 기반 미세배선, 레이저 마이크로비아, LDI를 활용한 고정밀 층간 정렬, 저손실 ABF 소재와 고다층 설계가 주요 기술 방향으로 자리 잡고 있다. 이렇게 빌드업층이 증가하면 ABF와 구리의 사용량만 늘어나는 것이 아니다. 라미네이션과 레이저 가공, 세정, 도금, 노광·현상 및 검사 공정이 총별로 반복되면서 기판 한 장당 생산시간과 장비 가동시간도 함께 증가한다.

기판의 대형화

AI 가속기용 유기 FC-BGA에서 중요한 것은 모바일용 기판이 추구하는 소형화, 박형화보다 대면적 평탄도와 대전류 공급, 신호 무결성 및 장기 신뢰성에 있다. AI 칩의 성능과 소비전력이 높아질수록 필요한 신호선과 전력, 접지 배선이 증가하고 이에 따라 기판 면적과 빌드업층 수, 마이크로비아 밀도 및 구리 배선량도 함께 늘어난다. 로직 다이와 HBM 탑재량 확대는 인터포저뿐 아니라 이를 지지하는 하부 FC-BGA의 면적 증가로 이어진다. 기판은 더 이상 단순히 칩을 고정하는 부품이 아니라 대규모 데이터를 이동시키고 고전력을 공급하는 플랫폼으로 역할이 확대되고 있다.

CoWoS-S는 로직 칩과 HBM을 대면적 실리콘 인터포저 위에 배치하므로 인터포저 확대에 따라 하부 기판도 함께 커진다. CoWoS-L과 CoWoS-R은 유기 RDL 기반 중간층을 이용해 패키지 면적을 확장하므로 대형 RDL과 기판 사이의 평탄도, 정렬 및 접합 신뢰성이 중요해진다. 이처럼 패키징 구조에 차이가 있어도 더 많은 로직 다이와 HBM을 탑재할수록 인터포저와 하부 FC-BGA의 면적 및 배선 복잡도가 증가한다는 방향은 공통적이다.

유기기판

유기코어 위에
ABF를 쌓아 만든
고다층 패키지 기판

표 20. 칩 인터포저 및 FC-BGA 기판 면적 추정

칩	패키징 방식	인터포저 중간층	레타클 배수 (x)	인터포저 면적(mm ²)	FC-BGA 면적(mm ²)
Blackwell	CoWoS-L	LSI+유기 RDL	3.3	2,831	6,096
Blackwell Ultra	CoWoS-L	LSI+유기 RDL	3.3	2,831	6,096
Rubin	CoWoS-L	LSI+유기 RDL	5.5	4,719	9,100
Rubin Ultra	CoWoS-L	LSI+유기 RDL	9.0	7,722	약 13,900
Feynman	CoPoS	패널형 RDL, 인터포저	14.0	12,012	약 20,700
Maia 200	CoWoS-S	실리콘 인터포저	1.6	1,373	약 3,800
Maia 200	CoWoS-L	LSI+유기 RDL	4.2	3,604	약 7,300
Maia 200	CoWoS-L	LSI+유기 RDL	5.5	4,719	약 9,100
MTIA 3 (Iris)	CoWoS-L	LSI+유기 RDL	4.6	3,947	약 7,900
MTIA 450	CoWoS-L	LSI+유기 RDL	5.5	4,719	약 9,100
MTIA 500	CoWoS-L	LSI+유기 RDL	7.0	6,006	약 11,100
Trainium 3	CoWoS-R	유기 RDL 인터포저	2.8	2,368	약 5,400
Tranium 4	CoWoS-R	유기 RDL 인터포저	3.5	3,003	약 6,400
TPU v7p (Ironwood)	CoWoS-L	LSI+유기 RDL	2.9	2,514	약 5,600
TPU v8i (Sunfish)	CoWoS-L	LSI + 유기 RDL	3.9	3,355	약 6,900
TPU v8t (Zebrafish)	CoWoS-S	실리콘 인터포저	2.3	2,008	약 4,800
TPU v9 (Humufish)	CoWoS-L	LSI + 유기 RDL	4.0	3,432	약 7,100

자료: KUVIC 리서치 2팀 추정

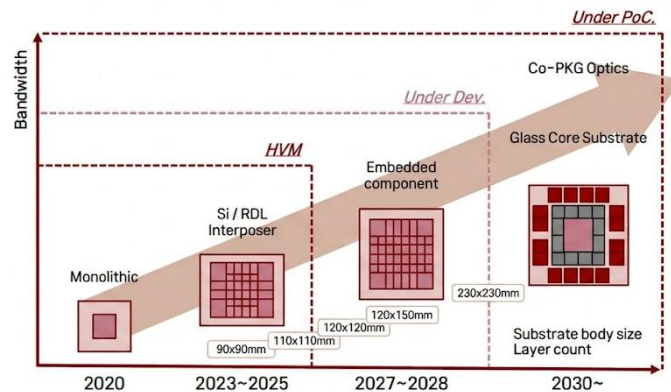
Blackwell(GB200)의 FC-BGA 크기는 81.5×74.8mm로 6,096mm²이며 Rubin(VR200)은 100×91mm로 9,100mm²다. 이는 한 세대 만에 패키지당 기판 면적이 약 49% 증가하는 것으로 HBM 탑재량과 패키지 복잡도 증가가 하부 기판 대형화로 이어지고 있음을 보여준다. 차세대 제품까지 확장하여 확인하면 Rubin Ultra(VR300)의 FC-BGA 면적은 약 13,900mm², Feynman은 약 20,700mm²까지 확대될 수 있다. 이는 GB200 대비 각각 약 2.3배와 3.4배에 해당한다.

기판의 대형화
기판 면적과
층수 증가가 이끄는
가격 상승

FC-BGA의 대형화는 기판 한 장에 투입되는 ABF와 구리, 코어 소재의 사용량과 가공 면적을 늘리는 동시에 제조 패널당 취득 수량을 감소시킨다. 또한 고다층화와 미세배선 확대로 공정 반복 횟수와 장비 가동시간이 증가하고 층간 정렬과 누적 수율 및 검사 관리의 난도도 높아진다. 이에 따라 **패키지당 FC-BGA 면적과 사양의 상승은 기판당 평균판매가격(P)을 높이는 요인으로 작용한다.**

그러나 유기기판이 대형화될수록 유기코어와 구리 배선, 실리콘 인터포저 사이의 열팽창 차이에 따른 워피지와 치수 변형이 커질 수 있다. 배선층이 늘어날수록 층간 정렬과 접합 신뢰성 및 최종 수율을 유지하기도 어려워진다. 저열팽창 코어 소재와 스티프너, 미세배선 및 고다층 빌드업을 적용해 이러한 한계를 보완할 수 있지만 **패키지가 지속적으로 대형화될 경우 유기코어의 물성 한계를 구조적으로 보완할 차세대 기판 기술이 필요**해진다.

그림 24. 이비덴의 패키지 기판 기술 발전 로드맵



자료: ibeden, KUVIC 리서치 2팀

이비덴의 로드맵은 이러한 변화에 대응해 단일 다이용 기판에서 Si·RDL 인터포저, 부품 내장형 대형 기판을 거쳐 유리코어 기판으로 발전하는 기술 경로를 제시한다. 기판 크기는 2023~2025년 90×90mm와 110×110mm 수준에서 2027~2028년 120×120mm, 120×150mm 및 230×230mm 수준으로 확대되며 2030년 이후에는 초대형 패키지에 대응하기 위한 유리코어 기판 적용을 지향하고 있다.

이는 AI, HPC용 패키지의 대형화와 고대역폭 수요에 대응해 기판 면적과 층수를 확대하는 동시에 장기적으로는 유기코어의 워피지(휨 현상)와 치수 안정성 한계를 새로운 소재로 보완하려는 기술 전환을 보여준다. 기판의 배선 면적과 층수가 증가할수록 더 많은 신호와 전력 경로를 수용할 수 있으며 향후에는 광소자를 패키지 인근에 배치하는 Co-Packaged Optics까지 기판의 적용 범위가 확장될 수 있다.

이처럼 유기기판은 대면적, 고다층화와 소재 고도화를 통해 당분간 AI 패키지의 핵심 기판으로 사용될 전망이다. 그러나 패키지가 더욱 대형화될수록 기존 유기코어만으로 워피지와 미세배선 정밀도를 관리하기 어려워질 수 있으며 이를 보완하기 위한 차세대 기술로 유리코어 기판이 주목받고 있다.

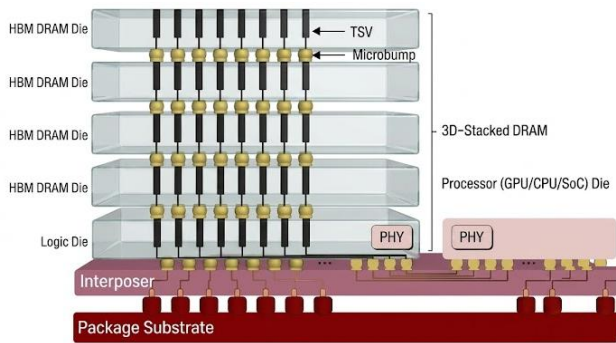
유리기판

유리기판
유기코어를
유리로 대체해
워피지와 미세배선
한계를 개선

유리코어 기판은 기존 유기 FC-BGA의 중앙 코어를 유리로 대체한 패키지 기판이다. 유리코어의 상하부에는 ABF 절연층과 미세 구리 배선이 적층되며 코어 내부에 형성된 TGV(Through Glass Via)가 상하부 회로를 전기적으로 연결한다. 이를 통해 상부의 칩 또는 인터포저에서 전달되는 신호와 전력이 기판 내부 배선을 거쳐 하부의 솔더볼과 메인보드로 전달된다.

유리가 차세대 코어 소재로 주목받는 이유는 높은 치수 안정성과 표면 평탄도, 낮은 유전손실에 있다. 첫째, 온도 변화에 따른 치수 변형이 작아 대면적 기판의 워피지를 관리하기 유리하며 휨과 변형이 줄면 범프 접합부의 기계적 응력과 층간 정렬 오차도 완화된다. 둘째, 높은 표면 평탄도가 노광공정의 초점 편차와 패턴 왜곡을 줄여 넓은 면적에서도 미세 회로 패턴을 균일하게 형성할 수 있어 배선 밀도와 I/O 수를 키우는 데 유리하다. 셋째, 낮은 유전손실이 고속, 고주파 신호의 감쇠를 줄인다. 앞서 유기기판의 한계로 지목된 워피지, 정렬, 신호 무결성을 소재 차원에서 정면으로 보완하는 셈이다. 유리는 온도 변화에 따른 치수 변형이 상대적으로 작아 대면적 기판의 휨은 현상을 관리하는 데 유리하다. 기판의 휨과 변형이 줄어들면 범프 접합부에 가해지는 기계적 응력과 층간 정렬 오차도 완화할 수 있다. 또한 높은 표면 평탄도는 노광공정에서 발생하는 초점 편차와 패턴 왜곡을 줄인다. 이에 따라 넓은 면적에서도 미세한 회로 패턴을 균일하게 형성할 수 있어 배선 밀도와 입출력 단자 수를 확대하는 데 유리하다. 낮은 유전손실 역시 고속, 고주파 신호 전송 과정에서 발생하는 신호 감쇠를 줄이는 요인으로 작용한다.

그림 25. 유리기판의 형태



자료: KUVIC 리서치 2팀

그림 26. 유기기판과 유리기판의 차이

기판-인터포저 코어	유기		유리
	적층(amininote)	판아웃	
	Material properties		
표면의 거칠기 (nm)	400~600	>1000	<10
열팽창계수 (CTE) (ppm/K)	3~17	16~30	3~9
영률(소재의 유연함) (GPa)	10~40	22	50~90
수분 흡수	0.04%	1~2.5%	0
열 전도율 (W/m.K)	0.9	0.5~0.75	1.1
Physical Dimensions			
패키징 사이즈 (mm)	70x70	50x50	100x100
웨이퍼/패널 크기	710 mm ²	300 mm / 510 mm ²	710 mm ²

자료: KUVIC 리서치 2팀

유리코어 기판은 대형 패키지에서 발생하는 유기코어의 물성 한계를 완화할 수 있지만 실제 양산 공정은 유기기판보다 복잡하다. 따라서 유리 소재 자체의 성능뿐 아니라 **TGV 가공과 금속화, 빌드업 및 패널 취급 과정에서 안정적인 수율을 확보할 수 있는**지가 상용화의 핵심이다.

유리기판의 과제
TGV 가공과
수율 확보의 문제로
상용화에는
시간이 필요

다만 유리코어 기판은 일부 고성능 제품에서 2028년 전후 제한적인 초기 생산이 시작될 가능성이 있으나 산업 전반의 본격적인 양산은 이비덴 등 주요 업체의 로드맵 조정과 TGV 가공, 금속화, 대면적 수율, 원가 경쟁력 문제를 근거로 2030년 이후로 늦어질 가능성이 높다.

유리기판의 본격적인 도입이 늦어지면 ABF 기반 유기 FC-BGA는 2020년대 후반에도 AI 가속기용 패키지 기판의 주류로 유지될 가능성이 높다. AI 패키지의 면적과 소비전력 확대는 계속되기 때문에 유기기판 업체는 저열팽창 코어 소재와 스티프너, 고다층 빌드업 및 두꺼운 구리 배선 등을 적용해 기존 FC-BGA의 성능을 높여야 한다. 이는 유기 FC-BGA의 수요 지속 기간을 연장하고 대형, 고사양 제품 비중을 높여 제품 믹스와 기판당 평균판매가격(P)에 긍정적으로 작용할 수 있다. 반면 기존 유기소재로 워피지와 층간 정렬 및 수율 문제를 해결해야 하므로 연구개발과 설비투자 부담도 커진다. 결과적으로 유리기판 상용화 지연은 유기기판 업체에 수요 연장과 고부가가치화의 기회를 제공하는 동시에 기술 난도와 투자 부담을 높이는 요인으로 작용한다.

밸류체인
의 확장
기판이 커지고
층수가 늘수록
소재, 장비, 검사
수요도 증가

기판 밸류체인

패키지 기판 밸류체인은 소재, 기판 제조, 제조장비 및 검사장비로 구분할 수 있다. AI 패키지의 대형화, 고다층화는 기판 제조업체뿐 아니라 ABF와 동박 등 소재 사용량, 적층·레이저·도금 등 공정 반복 횟수, 검사 면적과 요구 정밀도를 동시에 높인다. 유리코어 기판이 도입되면 유리 원판과 TGV 가공, 금속화·접착 소재 및 내부검사라는 신규 공정이 추가된다.

표 21. 패키지 기판 밸류체인 정리

구분	주요 제품, 공정	핵심 수요 변수	대표 업체
소재	ABF, 동박, 코어, 솔더마스크, 도금·접착 소재	기판 면적, 층수, 구리 두께	Ajinomoto, Sekisui Chemical, YMT, 와이씨켄
유기기판	ABF 기반 FC-BGA	AI 패키지 출하량, 기판 대형화	Ibiden, Unimicron, 삼성전기, Nan Ya PCB, Shinko Electric, Kinsus, AT&S, LG이노텍
유리기판	유리코어, TGV, 금속화, 빌드업	고객 인증, 양산 수율, 채택 속도	SKC·Absolics, 삼성전기, LG이노텍, Ibiden, 켄트로닉스
제조장비	적층, 레이저, TGV, 노광, 증착, 도금, 절단	가공 면적, 공정 반복 횟수	필옵텍스, 주성엔지니어링
검사장비	AOI·AOR, 전기검사, 3D 계측, 워피지, X-ray, CT	검사 면적, 단계, 요구 정밀도	기가비스, HB테크놀로지, 피아이이, KLA, Camtek, Nordson

자료: KUVIC 리서치 2팀

단기적으로는 AI용 유기 FC-BGA의 대형화, 고다층화에 따라 기판 제조업체와 ABF, 동박 등 소재, 반복 공정 및 검사장비의 수요가 확대될 가능성이 높다. 중장기적으로는 유리코어 기판의 고객 인증과 양산이 진행되면서 TGV 가공과 금속화와 접착 소재, 유리 내부검사 등 신규 밸류체인이 형성될 전망이다. 다만 유리기판 관련 업체의 실적화 시점은 기술개발 자체보다 고객 평가와 양산 수율 및 실제 설비투자 여부에 좌우될 것으로 판단된다.

유기 FC-BGA의 대형화, 고다층화와 유리코어 기판의 도입은 기판 제조공정뿐 아니라 검사공정의 난도도 높이고 있다. 기판 면적이 확대되면 동일한 결함 밀도에서도 기판 한 장에 불량이 포함될 가능성이 커지고 배선층과 비아 수가 증가할수록 층간 정렬 오차와 내부 단선, 도금 불량 등이 누적될 수 있다. 특히 FC-BGA는 절연층 적층과 미세배선 형성이 반복되는 빌드업 방식으로 제조되기 때문에 최종 완성품뿐 아니라 각 회로층이 형성될 때마다 검사가 수행된다. 이에 따라 기판의 층수와 면적이 늘어날수록 검사 횟수와 이미지 데이터 처리량, 요구 해상도도 함께 증가한다. 유리코어 기판에서는 기존의 회로 결함에 더해 TGV의 형상과 내부 균열, 구리 충전 상태 및 유리와 금속 사이의 계면 박리까지 검사 대상이 확대된다. 또한 기판 한 장의 제조원가가 높아질수록 결함을 조기에 발견하고 수리 가능한 불량을 복구하는 검사의 경제적 가치도 커진다. 따라서 검사장비 수요는 단순한 기판 생산량뿐 아니라 검사 면적과 반복 횟수, 요구 정밀도의 영향을 함께 받는다.

표 22. 주요 패키지 기판 검사 방식

구분	주요 검출 대상	적용 단계	기판 고도화에 따른 변화
AOI	단선, 단락, 이물, 선펅크, 패드, 비아 위치 각 회로층 형성 후 반복 적용		검사 면적과 반복 횟수, 요구 해상도 증가
AOR	수리, 형상 보정이 가능한 패턴 결함	AOI 후속	고가 기판의 폐기 손실 절감
전기 검사	Open, Short, 도통, 절연 불량	완성 기판	I/O와 검사 포인트, 검사 데이터 증가
2D, 3D 형상 검사	선펅크, 패드 높이, 비아 형상, 코플래너리티	회로 형성 후, 접합 전	국부 높이와 정렬 편차 관리 강화
워피지 검사	상온, 고온에서의 기판 휨	공정 검증, 접합 전, 최종	리플로우 온도별 워피지 평가 확대
X-Ray, CT	내부 비아, 보이드, 균열, 층간 정렬	정밀검사, 불량 분석	고다층 기판과 TGV 내부 검사 확대

자료: KUVIC 리서치 2팀

결국 기판 대형화와 고다층화는 장비가 처리해야 하는 검사 면적과 검사 횟수를 늘려 필요한 검사 처리용량과 장비 대수(Q)를 확대하는 요인으로 작용한다. 동시에 고해상도, 고속 처리와 3D 계측, 그리고 X-ray, CT 및 결함분류 소프트웨어의 중요성이 커지면서 고사양 장비 비중과 장비 평균판매가격(P)이 상승할 가능성이 있다.

기판 시장 규모 및 전망

표 23. 기판 시장 규모 및 전망

구분	시장 규모(TAM)	성장률(cagr)
패키지 기판	129억 달러(2024) → 212억 달러(2031)	8.0%
유기기판	54억 달러(2024) → 105억 달러(2031)	10.7%
유리기판	2억 달러(2024) → 5.7억 달러(2031)	17%

자료: QY research, KUVIC 리서치 2팀

기판 시장의 성장
유기기판의
성장 이어지는 가운데
유리기판 시장도
점차 확대

글로벌 패키지 기판 시장은 2024년 129억달러에서 2031년 211.7억달러로 성장할 전망이다. 연평균 성장률은 약 8.0%로 예상된다. 전체 시장에는 WB-BGA, FC-CSP와 FC-BGA 등 다양한 패키지 기판이 포함되지만 향후 성장은 AI, HPC용 FC-BGA가 주도할 가능성이 높다. AI 가속기의 패키지 면적과 HBM 탑재량이 확대되면서 기판의 면적과 층수, 배선 밀도가 동시에 증가하고 있기 때문이다. 이는 기판 출하량 증가뿐 아니라 패키지당 소재 투입량과 공정 횟수, 평균판매가격 상승으로 이어진다.

특히 ABF 기반 유기기판 시장은 2024년 54억달러에서 2031년 105억달러로 성장해 전체 패키지 기판 시장보다 높은 연평균 10.7%의 성장률을 기록할 전망이다. 유리기판 시장은 2024년 약 2억달러로 아직 초기 단계지만 대형 패키지의 워피지와 미세배선 한계를 보완할 수 있다는 점에서 2031년 5.7억달러까지 확대될 전망이다. 다만 유리기판은 높은 성장률에도 절대 시장 규모가 작고 고객 인증과 양산 수출 확보가 선행돼야 하므로 당분간은 유기기판이 시장의 중심을 유지하고 유리기판은 중장기 성장축으로 자리 잡을 가능성이 높다.

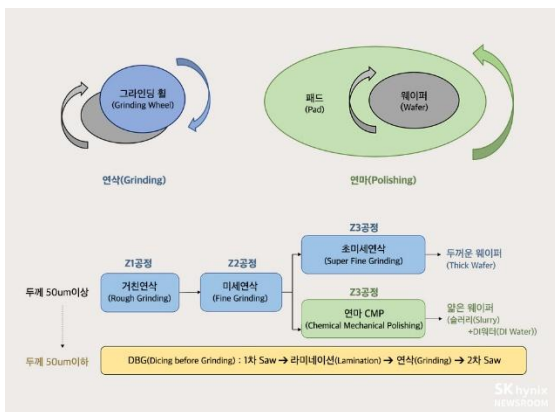
패키징

패키징은 백그라인딩과 다이싱, 본딩, 몰딩 순으로 진행되지만 각 단계에서 어떤 기술을 쓸지는 최종적으로 어떤 패키징을 구현하는가에 따라 갈린다. 같은 백그라인딩이라도 HBM용 D램과 CoWoS 인터포저는 요구 조건이 다르고, 같은 본딩이라도 CoWoS와 SolC는 아예 다른 방식을 쓴다. 아래 표는 각 공정의 주요 기술과 적용 대상을 정리한 것이며, 이어지는 내용에서는 각 기술이 왜 그 구조에 필요한지와 요구 수준이 높아지며 설비 사양이 어떻게 달라지는지를 살펴본다.

Back grinding

백그라인딩은 웨이퍼 뒷면을 갈아 두께를 얇게 만드는 공정으로 크게 두 단계로 진행된다. 첫 단계는 **테이프 라미네이션**(Tape Lamination)으로, 연삭 시 가해지는 하중과 마찰로부터 웨이퍼 전면의 회로 패턴을 보호하고 파손과 힘을 방지하기 위해 보호 테이프를 부착한다. 여기서 관건은 상반된 두 요구를 동시에 만족시키는 데 있다. 부착 시에는 기포나 이격이 생기지 않도록 강한 접착력이 필요하지만, 연삭 후 탈거할 때 접착력이 그대로 유지되면 얇아진 웨이퍼가 손상되거나 잔여물이 남아 수율이 떨어진다. 자외선을 쬔면 접착 성분의 성질이 변해 접착력이 급감하는 UV 박리형 테이프가 해결책으로 쓰인다.

그림 27. 웨이퍼 두께에 따른 연삭 방식의 다변화



자료: SK하이닉스

표 24. 연삭 대상별 목적과 두께

대상	목적	두께	비고
일반 소자 웨이퍼	두께 조절	800~700μm (80~70μm)	
HBM D램 (12단)	두께 조절, TSV 노출	약 50μm	
HBM D램 (16단)	두께 조절, TSV 노출	약 30μm	다이 힘으로 후속 정렬 난도 상승
CoWoS 인터포저	TSV 노출	수십 μm	로직 다이와 HBM 실장 후 연삭
SolC 적층 다이	두께 조절, 접합면 형성	적층 단위별 상이	하이브리드 본딩용 고평탄도 CMP

자료: KUVIC 리서치 2팀

백그라인딩:
칩을 얇은 뒤 깎는 방식,
실패 시 칩까지 폐기

두 번째 단계는 다이아몬드 그라인딩 휠로 후면을 목표 두께까지 갈아내는 **연삭**이다. 목표 두께가 50μm 이상이면 거친 휠로 빠르게 줄이는 러프 그라인딩과 미세 휠로 정밀도를 높이는 파인 그라인딩을 거친 뒤, 화학적 기계적 **연마(CMP)**로 미세 결함을 제거하고 표면을 마무리한다. 반면 50μm 이하로 얇아지면 물리적 압력을 견디지 못해 웨이퍼가 깨지거나 휘므로 DBG(Dicing Before Grinding) 방식을 쓴다. 웨이퍼가 아직 두꺼울 때 칩 경계선을 절반쯤 미리 잘라두고, 연삭이 그 깊이에 도달하면 충격 없이 칩이 자연스럽게 분할되도록 유도하는 방식이다. 100μm 이하 웨이퍼에서는 외곽 3mm가량을 링 형태로 남기고 내주만 연삭해 테두리가 뼈대 역할을 하도록 하는 공법도 쓰이며, 디스코(Disco)사의 TAIKO 공정이 사실상 업계 표준이다.

이러한 공정을 거치면 통상 800~700μm이던 웨이퍼는 80~70μm까지 얇아진다. 다만 이는 일반적인 후공정 기준이며 첨단 패키징에서는 한층 가혹한 초박화가 요구된다. HBM 적층 단수가 12단에서 16단으로 늘어날 때 개별 D램 웨이퍼는 약 50μm에서 30μm까지 추가로 깎아내야 하는데, 얇아질수록 절단과 연마 과정의 파손 위험이 급격히 커져 수율 확보가 어렵다는 우려가 업계에서 제기되고 있다.

3D 적층에서는 박화의 성격이 달라진다. 위아래 칩을 수직으로 잇는 TSV(Through Silicon Via)는 웨이퍼를 완전히 뚫어 만드는 것이 아니라 일정 깊이까지 판 뒤 뒷면을 갈아내 전극을 드러내는 방식으로 완성되며, HBM용 D램과 CoWoS 인터포저, SolC 적층 다이가 모두 이 과정을 거친다. 이 가운데 인터포저는 앞면에 로직 다이와 HBM을 부착한 뒤 뒷면을 연삭하므로, 실패하면 웨이퍼 한 장이

아니라 그 위에 올라간 칩까지 함께 폐기된다. SoIC용 적층 다이는 조건이 또 다르다. 3D에서는 다이 두께가 패키지 전체 높이에 누적되므로 얼마나 얇게 만들 수 있는지가 적층 가능 단수를 직접 규정하며, 하이브리드 본딩이 적용되면 연삭의 목적이 두께 조절을 넘어 접합면 형성으로 확장된다. 접합면이 원자 수준으로 평탄해야 하고 파티클 하나만 끼어도 보이드가 생기므로, CMP는 표면 마무리가 아니라 접합 가능 여부를 결정하는 선행 공정이 된다.

요구 조건이 갈리면서 설비 사양도 달라진다. 인터포저 연삭은 TSV를 확실히 드러내되 과하게 갈면 전극과 절연층이 손상되므로, 목표 두께에 도달하는 것이 아니라 좁은 허용 범위 안에서 균일하게 멈춰야 한다. 대상이 레티클 3~5배 면적의 대면적이고 칩이 이미 실장되어 하중 분포가 고르지 않다는 점도 제어를 어렵게 한다. 이에 따라 연삭 중 두께를 실시간으로 측정하는 인라인 계측과 정밀 정지 제어가 필요해지고, 하이브리드 본딩용 라인에서는 접합면 평탄도 검사까지 더해진다. 범용 그라인더가 목표 두께까지 갈아내는 단일 기능 설비였다면 첨단 패키징용은 계측과 제어를 통합한 복합 설비로 바뀌고 있으며, 이는 단위 설비 가격 상승으로 이어진다.

Dicing

다이싱:
자르는 순서에 따라
방식이 달라짐

다이싱은 얇아진 웨이퍼를 개별 칩 단위로 절단하는 공정이다. 첨단 패키징에서는 두 가지를 함께 봐야 한다. 무엇으로 자르는가는 절단면 품질과 재료 손실을 좌우하고, 공정 순서상 언제 자르는가는 패키징 방식 자체를 규정한다. CoWoS와 SoIC, InFO는 다이싱이 들어가는 시점과 절단 대상이 서로 달라, 같은 다이싱이라도 요구 조건이 크게 갈린다.

절단 기술은 크게 세 가지다. **블레이드 다이싱**은 다이아몬드 입자를 붙인 회전 날로 자르는 전통적 방식으로, 처리 속도가 빠르고 비용이 낮으며 실리콘 외에 유리나 세라믹, 기판까지 적용 범위가 넓다. 다만 물리적 접촉을 수반해 절단면에 미세 균열(Chipping)이 생기고, 날 두께만큼 재료가 소실되어 칩 사이 여백인 스트리트(Street)를 일정 폭 이상 확보해야 한다. **스텔스 다이싱**은 레이저를 웨이퍼 내부에 집광해 개질층을 만든 뒤 테이프를 팽창시켜 그 층을 따라 쪼개는 방식으로, 자르는 것이 아니라 균열을 유도하므로 하중이 최소화되고 절삭 부스러기가 나오지 않는다. **플라즈마 다이싱**은 진공에서 반응성 기체로 실리콘을 식각해 수직에 가까운 트렌치를 만드는 방식으로, 접촉이 없어 손상이 가장 적고 절단선이 직선일 필요가 없어 다이 배치를 자유롭게 최적화할 수 있다. 뒤의 두 방식은 커프(Kerf) 폭을 크게 줄여 스트리트를 좁힐 수 있는데, 스트리트가 줄어들면 같은 면적의 웨이퍼에서 나오는 다이 수가 늘어나므로 절단 방식의 전환이 곧 웨이퍼당 산출의 증가로 이어진다.

세 방식은 서로를 대체하기보다 대상에 따라 나뉘어 쓰인다. 블레이드는 범용 실리콘 패키지와 몰딩 이후 스트립을 개별 패키지로 분리하는 싱글레이션, DBG의 하프컷을 담당한다. 스텔스는 하중이 적어 초박 다이와 파티클 관리가 중요한 하이브리드 본딩용 다이에 적합하고, 플라즈마는 커프 손실 비중이 큰 소형 다이에서 이점이 크다. 조합해 쓰는 경우도 많다. 선단 공정 웨이퍼는 회로층의 저유전율 절연막이 취약해 블레이드가 직접 닿으면 박리가 생기므로, 레이저로 스트리트의 절연막을 먼저 제거한 뒤 아래 실리콘을 블레이드로 자르는 방식이 널리 쓰인다. 새 기술이 기존 방식을 밀어내기보다는 함께 쓰이는 형태로 자리 잡은 셈이다.

그림 28. 주요 다이싱 기술

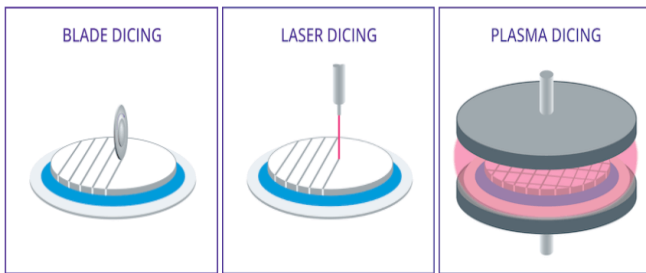
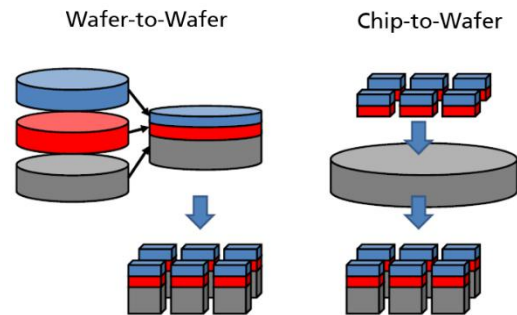


그림 29. W2W / C2W 구조



자료: Semiconductor Engineering

자료: Fraunhofer ENAS

다이싱 시점은 3D 적층 방식을 결정한다. 개별 다이를 먼저 잘라 다른 웨이퍼에 붙이면 **CoW**(Chip on Wafer), 웨이퍼 두 장을 통째로 정렬해 접합한 뒤 마지막에 자르면 **WoW**(Wafer on Wafer)다. 각각 C2W(Chip-to-Wafer), W2W(Wafer-to-Wafer)로 부르기도 한다. CoW는 사전 검사를 통과한 양품 다이만 골라 붙일 수 있어 상단 다이의 불량률이 하단으로 전이되지 않는다. WoW는 웨이퍼 단위 일괄 처리라 처리량이 높지만 불량 다이까지 함께 접합되어 최종 수율이 양쪽 웨이퍼 수율의 곱으로 결정된다. 수율이 각각 60%라면 접합 후 양품은 36%까지 떨어지고, 단수가 늘수록 손실은 기하급수적으로 커진다. 두 웨이퍼의 다이 크기가 같아야 하므로 서로 다른 공정 노드의 칩을 결합하는 이종 통합에도 제약이 따른다. SoIC가 두 방식을 모두 지원하면서도 다이 크기와 노드가 다른 고성능 로직 적층에서 CoW를 전제하는 이유이며, WoW는 공정이 안정화된 이미지 센서나 MEMS에 주로 쓰인다.

패키징 방식별로 보면 다이싱은 한 번에 끝나지 않는다. CoWoS는 로직 다이와 HBM 스택을 잘라 인터포저에 붙인 뒤, 완성된 인터포저 웨이퍼를 다시 절단해 개별 유닛으로 나눈 다음 기판에 부착한다. 칩 다이싱과 인터포저 다이싱이 따로 존재하는데 후자가 특히 어렵다. 인터포저는 레티클 3~5배 면적에 두께가 수십 마이크로미터인 대면적 초박 형태이고, 절단 시점에 이미 고가의 로직 다이와 HBM이 실장되어 있어 손상이 곧 완제품 폐기로 이어진다. 세대가 진행되며 레티클 배수가 블랙웰 3.3배에서 루빈 5.5배, 루빈 울트라 9배, 파인만 14배로 커지면 인터포저 웨이퍼 한 장에서 나오는 유닛은 14개에서 5~6개 수준으로 줄어든다. 절단 실패 시 손실이 커지는 동시에 웨이퍼당 산출도 함께 감소한다. InFO 계열은 절단 대상이 다르다. 원 웨이퍼에서 잘라낸 다이를 캐리어에 간격을 두고 재배치한 뒤 몰딩 컴파운드로 매립해 재구성 웨이퍼(Reconstituted Wafer)를 만들고 그 위에 재배선층(RDL)을 형성하므로, 최종 다이싱의 대상이 순수 실리콘이 아니라 수지와 실리콘, 구리 배선이 섞인 이종 복합물이다. 소재마다 경도와 열 특성이 달라 블레이드 마모가 빠르고 수지가 늘어붙는 버(Burr)가 생기기 쉬워 별도의 블레이드 사양이나 레이저 방식이 요구된다.

하이브리드 본딩이 적용되면 요구 조건이 한 단계 더 올라간다. 구리 패드를 직접 맞대는 방식에서는 파티클 하나만 끼어도 보이드가 생겨 연결이 끊기는데, 다이싱은 공정 특성상 파티클이 가장 많이 나오는 단계에 속한다. 절단면의 미세 균열이 접합 압력을 받아 확산될 위험도 있다. 따라서 하이브리드 본딩용 다이는 파티클이 적은 스텔스나 플라즈마로 절단하고 절단 후 세정 수준을 높이는 것이 전제된다. 엔비디아 GPU의 SoIC 채택률이 2028년 28%에서 2029년 82%로 오르고 SoIC 웨이퍼 수요가 2026년 13만 장에서 2029년 113만 장까지 늘어날 것으로 추정되는 만큼, 대응 가능한 다이싱 공법의 적용 범위도 같은 속도로 넓어져야 한다. 장비 시장은 디스코가 다이싱소에서 80% 수준을 점유하며 도쿄정밀이 뒤를 잇고, 레이저 방식에서는 디스코와 이오테크닉스, ASM Laser Separation이 경쟁한다. 플라즈마 식각기는 KLA와 Plasma-Therm, Samco 등이 공급하며, 한미반도체는 웨이퍼가 아니라 패키징 완료 후 기판 형태의 반도체를 절단하고 세척과 검사, 분류까지 수행하는 MSVP 장비에 주력한다. 절단 대상이 실리콘 웨이퍼에서 인터포저와 재구성 웨이퍼로 넓어지고 파티클 관리까지 요구되면서, 절단과 세정, 검사를 통합한 설비를 도입하는 편이 유리해지고 단위 설비의 구성과 가격 수준도 기존 다이싱소와 달라지고 있다.

Bonding

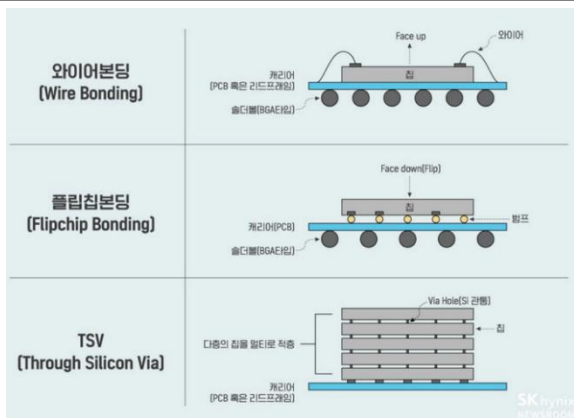
본딩:
수평 배치인 2.5D는
범프로 충분,

수직 적층인 3D는
범프가 걸림돌

본딩은 다이싱으로 분리된 칩을 기판이나 다른 칩 위에 올려 전기적으로 연결하는 공정이다. 백그라인딩과 다이싱이 웨이퍼를 깎고 자르는 감산 가공이라면 본딩부터는 칩을 다시 쌓아 올리는 조립에 해당한다. CoWoS에서 로직 다이와 HBM을 인터포저에 붙이는 Chip on Wafer와 완성된 인터포저를 기판에 붙이는 on Substrate가 모두 본딩이며, 명칭 자체가 두 차례의 본딩으로 이루어져 있다. 첨단 패키징 캐파가 본딩 처리량에 좌우되고 병목 해소 투자가 이곳에 몰리는 이유다.

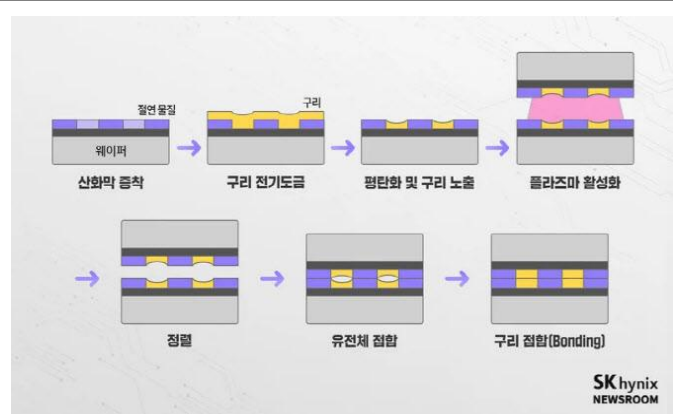
본딩 기술은 크게 두 갈래다. 칩과 칩 사이에 금속 돌기를 매개로 두는 **범프 계열**과, 매개 없이 구리 배선을 직접 맞대는 **하이브리드 본딩**이다. 범프 계열은 다시 나뉘어, 칩을 뒤집어 솔더 범프로 기판에 붙이는 플립칩 본딩이 피치 100~150 μ m를 담당하고 범프를 미세화해 열과 압력으로 접합하는 TC 본딩(Thermo-Compression Bonding)이 40 μ m 이하를 맡는다. 하이브리드 본딩은 범프를 없애 10 μ m 이하까지 피치를 좁힌다. 접합 간격이 세대를 가르는 기준이 된 것은 칩 간 전송 속도가 연결 통로인 I/O 개수에 비례하고, 한정된 면적에서 I/O를 늘리려면 피치를 좁히는 수밖에 없기 때문이다. 피치가 좁아질수록 정렬 정밀도 요구가 가혹해져 세대 전환은 곧 장비 교체를 수반한다. 정밀도가 한 자릿수 올라갈 때마다 광학계와 스테이지, 열 제어 계통이 함께 상향되므로 장비 단가도 세대마다 계단식으로 올랐으며, 하이브리드 본딩 가격이 TC 본딩의 두 배를 넘는 것도 같은 맥락이다.

그림 30. 본딩 방식별 비교



자료: SK하이닉스 (*TSV 본딩은 본문의 TC본딩에 해당, 접합 구조와 공법 기준의 표기 차이)

그림 31. 하이브리드 본딩 프로세스



자료: SK하이닉스

어떤 방식을 쓸지는 패키징 형태가 결정한다. CoWoS는 로직 다이와 HBM을 인터포저 위에 수평으로 나란히 놓는 2.5D여서, 접합부는 각 다이를 아래 인터포저에 연결하는 역할에 그친다. 다이 사이 신호 전달은 인터포저 배선이 담당하고 범프 두께가 패키지 높이에 누적되지 않으므로 마이크로범프를 쓰는 TC 본딩으로 충분하며, 오히려 대면적 인터포저의 힘을 억제하면서 수천 개의 범프를 동시에 정렬하는 쪽이 더 큰 과제다. SoIC는 다이 위에 다이를 직접 올리는 3D여서 조건이 달라진다. 적층된 다이 사이 거리가 곧 신호 경로 길이가 되므로 간격을 줄일수록 대역폭과 전력 효율이 좋아지는데, 범프를 매개로 두면 그 두께만큼 거리가 벌어져 3D의 이점이 상쇄된다. 범프는 접합 시 녹아 옆으로 퍼지는 성질 때문에 피치를 좁히는 데 한계가 있고, 층을 쌓을수록 두께가 누적되어 패키지 높이 제약에도 걸린다. SoIC가 범프를 없앤 하이브리드 본딩을 전제로 설계된 이유이며, 2.5D와 3D라는 형태 차이가 본딩 방식의 차이로 곧장 이어진다.

HBM 적층에는 현재 TC 본딩을 쓴다. 칩을 다 얹은 뒤 오븐에 통째로 넣어 범프를 한 번에 녹이는 매스리플로우와 달리 다이를 개별 제어하므로 정렬 정밀도를 확보할 수 있지만, 처리량(UPH)이 낮다. 다이가 얇아지고 피치가 좁아진 환경에서는 오븐 방식으로 정렬을 유지할 수 없어 TC 본딩이 불가피한데, 개별 처리량 물량이 늘면 장비 대수를 비례해 늘려야 한다. 단수가 올라가면 스택 하나를 완성하는 시간도 함께 늘어나므로, HBM 출하량 증가와 단수 상승이 곱해져 장비 수요에 반영된다. 칩 사이 빈 공간을 채우는 방식에 따라 TC 본딩은 다시 갈린다. 비전도성 필름(NCF)을 층마다 끼우고 열압착하는 TC-NCF를 삼성전자가, 다 쌓은 뒤 액체 수지(MUF)를 한 번에 주입해 굳히는 MR-MUF를

SK하이닉스가 쓴다. MR-MUF는 층마다 필름을 다루지 않아 공정이 단순하고 수지가 고르게 채워져 방열과 힘 제어에 유리하다는 평가를 받는다. 다만 12단에서 16단으로 가며 D램 웨이퍼가 50 μ m에서 30 μ m까지 얇아지면 다이가 열과 압력에 쉽게 휘어 정렬이 어려워지고 수지가 침투할 여유도 줄어들어, 본더 정밀도와 수지 소재가 함께 개선되어야 한다.

하이브리드 본딩은 구리 패드와 산화막을 직접 맞대어 붙인다. 상온에서 표면을 밀착시킨 뒤 가열해 구리를 팽창시키고 확산시키는 방식인데, 여기에 필요한 조건이 세 가지다. 첫째, 정렬 정밀도가 TC 본딩의 1 μ m 수준에서 0.1 μ m 급으로 올라가 이를 구현하는 장비 자체가 소수에 그친다. 둘째, 접합면이 원자 수준으로 평탄해야 하고 파티클 하나만 끼어도 보이드가 생겨 연결이 끊긴다. 본더만으로는 공정이 성립하지 않고 CMP와 세정, 플라즈마 활성화, 계측이 하나의 라인으로 묶여야 하며, 후공정 장비 기술만으로는 대응이 어려워 전공정 수준의 관리가 함께 필요하다. 셋째, CoW 방식은 다이마다 서브미크론 정렬과 표면 활성화, 접합 후 어닐링을 거치므로 다이당 소요 시간이 TC 본딩보다 길다. **세 조건이 겹쳐 장비당 산출은 낮고 단가는 높아, 같은 물량을 처리하는 데 드는 투자가 이전 세대보다 크게 늘어난다.**

표 25. 본딩 방식별 스펙 비교

구분	플립칩	TC	하이브리드
접합 매개	솔더 범프	마이크로범프	없음 (구리 직접 접합)
피치	100~150 μ m	40 μ m 이하	10 μ m 이하
정렬 정밀도	수 μ m	1 μ m 수준	0.1 μ m 수준
처리량	높음	낮음	더 낮음
장비 단가	(기준)	상승	TC의 2배 이상
적용	CoWoS의 on Substrate	CoWoS의 CoW, HBM 적층	SolC, HBM 16단 이후

표 26. CoWoS와 SolC 캐파 증설 전망 비교

구분	CoWoS	SolC
월 1만장 캐파 확보 비용	약 \$1.1억	약 \$6.8억
TSMC 캐파 (2025)	월 7만장	월 1만장
TSMC 캐파 (2029E)	월 28만장	월 13만장
2025년 대비 증가	4배	13배

자료: KUVIC 리서치 2팀

자료: KUVIC 리서치 2팀 추정

메모리에서 하이브리드 본딩 도입은 당초 전망보다 여러 차례 미뤄졌다. HBM은 12단부터 적용될 것으로 예상됐으나 16단 이후로 넘어갔고, 코어 다이 용량을 키워 단수를 유지하는 경로가 병행되며 시점이 다시 조정됐다. 그 사이 TC 본딩은 MR-MUF 개선과 본더 정밀도 향상으로 적용 범위를 연장해 왔다. 기판에서 유리기판 상용화가 지연되는 동안 ABF 기판의 대면적화와 고다층화가 현실적 과제로 떠오른 것과 같은 흐름으로, 차세대 기술의 이연은 현세대 기술의 고도화 투자로 전환된다. 반면 로직은 사정이 다르다. SolC는 이미 양산에 적용됐고 AI 가속기의 칩렛 설계가 확대되며 채택 범위가 빠르게 넓어진다. 블랙웰과 루빈까지는 CoWoS 단독으로 SolC를 쓰지 않으나 루빈 울트라에서 병행 적용이 시작되고 파인만에서 전면 채택될 전망이며, AMD는 MI300부터 이미 3D 하이브리드 본딩을 적용하고 있다.

엔비디아 GPU의 SolC 채택률은 2028년 28%에서 2029년 82%, 2030년 100%로 오르고 SolC 웨이퍼 수요는 2026년 13만 장에서 2029년 113만 장까지 늘어날 것으로 추정된다. 문제는 SolC 증설이 CoWoS와 같은 조건에서 이뤄지지 않는다는 데 있다. 같은 월 캐파를 확보하는 데 드는 자본이 CoWoS는 만 장당 약 1.1억 달러인 반면 SolC는 약 6.8억 달러로 여섯 배에 달하는데, 하이브리드 본딩이 요구하는 정렬 정밀도와 표면 처리, 계측 설비가 라인 단위로 구성되어야 하기 때문이다. TSMC의 SolC 캐파가 2025년 월 1만 장에서 2029년 13만 장까지 늘어나는 과정에는 대규모 증설 투자가 따르며, 첨단 패키징 캐파 확대의 무게중심이 CoWoS에서 SolC로 옮겨간다는 뜻이기도 하다.

CoWoS 후반부인 on Substrate는 완성된 인터포저를 C4 범프로 패키지 기판에 붙이는 단계다. 하나의 AI 패키지에는 크기가 다른 접합부가 세 층으로 존재하는데, 로직 다이와 HBM을 인터포저에 붙이는

마이크로범프(40 μ m 이하), 인터포저를 기판에 붙이는 C4 범프(100~150 μ m), 기판을 메인보드에 잇는 BGA 볼(약 1mm) 순으로 아래로 갈수록 커진다. 이 단계가 어려운 이유는 접합부가 미세해서가 아니라 대상이 크고 얇기 때문이다. 인터포저는 레티클 3~5배 면적에 두께가 수십 마이크로미터라 열을 받으면 쉽게 휘고, 이 힘을 억제하면서 수천 개의 범프를 동시에 정렬해야 한다. 실패하면 실장된 로직 다이와 HBM이 함께 폐기되어 손실이 크므로 힘 제어 기술과 조립 전 검사 수요가 함께 늘어난다.

Molding

몰딩:
수지 흐름의 여부에 따라
트랜스퍼와 컴프레션으로
분류됨

몰딩은 본딩까지 끝난 칩을 EMC(Epoxy Molding Compound) 수지로 감싸 굳혀 열과 수분, 충격으로부터 보호하는 공정이다. 방식은 두 가지로, 태블릿 형태의 EMC를 녹여 플런저로 밀어 넣는 **트랜스퍼 몰딩**과 EMC 가루를 금형에 미리 채워두고 기판을 넣은 뒤 열과 압력을 가해 제자리에서 성형하는 **컴프레션 몰딩**이다. 차이는 수지가 흐르는지 여부에 있다. 트랜스퍼는 칩 단수가 높아지고 캐리어가 커지면서 수지가 멀리 이동해야 하는데, 칩 간격이 좁아지면 유체가 침투하지 못하고 흐르는 과정에서 와이어를 밀어 변형시킨다. 컴프레션은 제자리에서 녹아 공간을 채우므로 이런 제약이 없고, 필요한 두께로 성형되어 몰딩 후 연삭이 생략되며 대면적에서 힘도 적다. 첨단 패키징으로 갈수록 컴프레션 적용이 늘어나는 이유다.

첨단 패키징에서 몰딩은 보호를 넘어 구조를 만드는 역할까지 한다. 앞서 다이싱에서 살펴본 InFO의 재구성 웨이퍼가 대표적인데, 캐리어에 재배치한 다이를 EMC로 매립해 웨이퍼 형태를 만들고 그 위에 재배선층을 형성하므로 몰딩 없이는 후속 공정이 성립하지 않는다. 여기서 수지는 봉지재가 아니라 다이를 고정하고 재배선층을 얹을 평탄면을 제공하며, 경화 시 수축률과 평탄도가 재배선층 정렬 정확도를 좌우한다. 플립칩의 언더필도 비슷하다. 칩과 기판의 열팽창계수가 달라 온도 변화 시 응력이 범프에 몰리므로 사이를 폴리머로 채워야 하는데, MUF(Molded UnderFill)는 언더필과 몰딩을 하나로 합쳐 EMC가 범프 사이까지 직접 스며들게 한 방식이다. MR-MUF의 MUF가 이에 해당하며, 단수가 올라 칩 간격이 좁아질수록 수지의 침투성과 방열 특성 요구가 함께 높아진다.

몰딩의 난도를 결정하는 가장 직접적인 변수는 **대면적화**다. CoWoS 패키지는 레티클 3~5배 면적을 수지로 덮는데, 냉각 과정에서 EMC와 실리콘의 수축률 차이로 패키지 전체가 휜다. 힘이 심하면 BGA 볼이 기판에 제대로 붙지 않거나 인터포저에 균열이 가므로 대면적일수록 컴프레션 몰딩과 정밀한 힘 제어가 전제되며, 레티클 배수가 블랙웰 3.3배에서 파인만 14배까지 커지는 만큼 부담도 계속 늘어난다. 나아가 병목 해소 수단으로 거론되는 CoPoS처럼 인터포저를 원형 웨이퍼가 아닌 사각 패널에서 만드는 방식으로 바뀌면 몰딩 대상 면적은 더 커진다. 패널은 유효 면적 기준으로 웨이퍼 대비 약 1.9배를 처리할 수 있어 캐파 확대에 유리하지만, 면적이 넓어질수록 수지가 고르게 퍼지지 않아 두께 편차가 생기고 냉각 시 힘의 절대량도 커진다. 기존 웨이퍼용 설비를 개조해 대응하기 어려워 패널 전용 성형 설비가 따로 필요하며, 트랜스퍼에서 컴프레션으로, 다시 패널 전용으로 이어지며 몰딩 설비는 처리 면적과 제어 정밀도 모두에서 상위 사양으로 옮겨가고 있다.

그림 32. 몰딩 주요 방식



표 27. 몰딩 방식별 비교

구분	트랜스퍼 몰딩	컴프레션 몰딩
EMC 형태	태블릿	가루
성형 방법	녹인 수지를 금형에 밀어넣음	금형에 채워둔 가루를 제자리에서 녹임
수지 이동 거리	김	없음
와이어 변형	발생 가능	발생 X
몰딩 후 연삭	필요	불필요
대면적 성형 시 힘의 정도	큼	작음
주요 적용	레거시 패키지	InFO 재구성 웨이퍼, CoWoS

자료: TOWA Corporation

자료: KUVIC 리서치 2팀

패키징 장비

패키징 장비 시장은 공정별로 사업자 구성이 뚜렷하게 나뉜다. 백그라인딩과 다이싱은 디스코가 각각 70~80% 수준을 점유하고 몰딩은 토와가 컴프레션 방식을 중심으로 앞서 있으며, 이들 구간에서는 지배 사업자가 오랜 기간 유지되어 왔다. 반면 본딩은 세대가 바뀔 때마다 구도가 재편되어 왔다. 첨단 패키징 투자가 확대되는 국면에서 장비 시장의 변동이 본딩에 몰리는 이유이며, 아래에서는 본딩을 중심으로 살펴본다.

그림 33. BESI의 하이브리드 본더 (Datacon 8800 CHAMEO)



자료: BESI

표 28. 본딩 세대별 요구 역량 및 주요 플레이어

세대 구분	요구 역량	주요 플레이어
와이어본딩	재료 거동 데이터	K&S, ASMPT, 신카와
다이 어태치, 플립칩	배치 정밀도와 속도	BESI
TC 본딩	열압력 제어, 힘 억제	한미반도체, 세메스, 한화세미텍
하이브리드 본딩 (WoW)	전공정급 표면 처리	EVG
하이브리드 본딩 (CoW)	전공정급 표면 처리	BESI, ASMPT, SUSS MicroTec

자료: KUVIC 리서치 2팀, 각 사

본딩 장비는 기술 세대별로 상위 플레이어가 다르다. 와이어본딩은 K&S와 ASMPT, 신카와가 오랜 기간 상위권을 지켜 왔고, 다이 어태치와 플립칩 본딩에서는 BESI가 40% 내외로 앞선다. HBM 적층용 TC 본더는 한미반도체가 70%를 넘고 세메스와 한화세미텍이 뒤를 잇는다. 하이브리드 본더는 웨이퍼끼리 접합하는 WoW에서 EVG가 80% 이상을 점유하고, 개별 다이를 붙이는 CoW에서는 BESI와 ASMPT, SUSS MicroTec 등이 경쟁한다. 눈에 띄는 점은 각 구간의 선두가 다음 세대에서도 같은 자리를 지킨 경우가 드물었다는 것이다. 요구되는 역량이 세대마다 달랐기 때문이다. 와이어본딩은 금과 구리 와이어가 열과 초음파에 어떻게 반응하는지에 대한 데이터를 오래 축적해야 하고, 다이 어태치는 정밀 배치와 처리 속도의 균형이 관건이다. TC 본딩으로 넘어가면 열과 압력 프로파일 제어, 적층 시 힘을 억제하는 노하우가 필요해지는데 여기서 국내 사업자가 HBM 수요를 발판으로 자리를 잡았다. 세대 전환이 기존 시장의 대체가 아니라 새로운 장비 시장의 형성으로 이어져 왔다는 점에서, 하이브리드 본딩에서도 지금과 다른 구도가 만들어질 수 있다.

패키징 장비:
세대가 바뀔에 따라 상위 플레이어가 바뀌며,

하이브리드 본더의 경우
진입장벽이 후공정 넘어에
존재함

하이브리드 본딩에서는 요구 역량이 후공정 밖으로 확장된다. 구리를 직접 붙이려면 접합면 평탄도와 파티클 관리가 전공정에 준해야 하는데, 이는 CMP와 세정, 플라즈마 활성화 영역의 기술이다. 본더만으로는 공정이 성립하지 않으니 장비사들이 전공정 역량을 가진 기업과 손잡는 흐름이 공통적으로 나타난다. BESI는 2020년부터 어플라이드 머티어리얼즈와 통합 장비 솔루션을 함께 개발해 왔고 2025년 4월 어플라이드가 BESI 지분 9%를 취득했다. ASMPT는 2025년 9월 고쿠사이일렉트릭과 하이브리드 본딩 및 마이크로범프 TC 본딩 공동개발 계약을 맺었다. 국내에서도 한미반도체가 증착과 플라즈마 세정 기술을 가진 테스와 하이브리드 본더를 공동 개발하고 있으며, 한화세미텍도 글로벌 장비사와 협업 중이다. 개별 기업의 전략이라기보다는 기술 특성에서 비롯된 업계 공통의 대응으로 볼 수 있다.

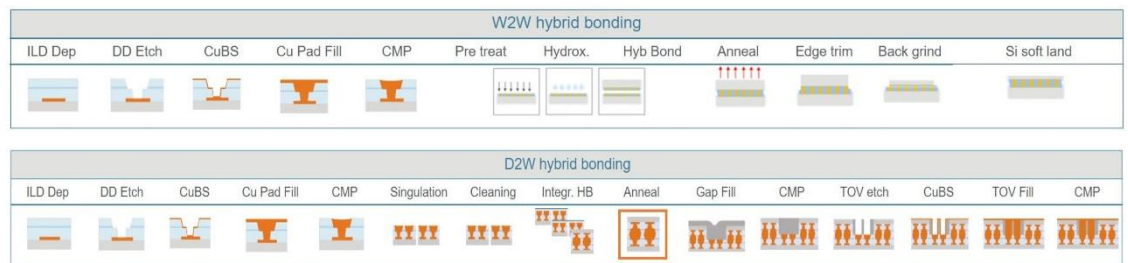
진행 단계는 사업자마다 갈린다. 세메스는 HBM용 CoW 하이브리드 본더를 고객사와 계약하고 장비 신뢰성과 공정 적합성을 높이는 단계로 양산 직전으로 알려져 있다. 한화세미텍은 2022년 1세대 장비를 납품한 이력을 바탕으로 2세대 장비의 고객사 평가를 진행 중이다. 한미반도체는 인천 주안국가산업단지에 약 1,000억 원을 들여 1만 4,600㎡ 규모의 하이브리드 본더 전용 공장을 짓고 있으며 2026년 하반기 완공과 2027년 말 출시를 계획한다. 해외에서는 BESI가 메모리 고객사와

아시아 파운드리로부터 수주했으나 대부분 개발과 검증 목적이며 볼륨 양산 발주는 아직 본격화되지 않았다. TC 본더에서 확보한 점유율이 하이브리드 본딩으로 그대로 이어지지 않고 국내 사업자 간 순서도 다시 짜이고 있다.

본딩은 본더만으로 완결되지 않고 **전후 공정 장비가 함께 필요하다**. 범프 방식에서는 범프를 만들기 전 칩 표면의 감광액 잔여물과 불순물을 플라즈마로 제거하는 디스컴(Descum)이 선행되는데, 잔여물이 남으면 범프가 제대로 붙지 않아 불량으로 직결되므로 피치가 좁아질수록 세정 요구가 높아진다. 이후 솔더볼 마운터로 범프를 만들고 리플로우 장비가 범프를 녹여 기판과 결합시킨다. 이들 장비는 피에스케이홀딩스와 에스티아이, 프로텍 등이 공급하고 해외에서는 SPTS와 헬러 등이 경쟁하는데, 하이브리드 본딩 전환 여부와 무관하게 범프 방식이 유지되는 한 수요가 이어진다는 특징이 있다. HBM의 TSV 형성과 CoWoS의 인터포저 접합 양쪽에서 쓰이므로 메모리와 로직의 첨단 패키징 확대가 동시에 반영되며, CoWoS가 세대를 거듭해도 범프 방식을 유지하는 만큼 수요 기반도 유지된다.

하이브리드 본딩에서는 필요한 인접 장비의 성격이 달라진다. 접합 직전 표면 상태가 결정적이므로 평탄화를 맡는 CMP, 표면 활성화를 담당하는 플라즈마 처리, 접합을 완성하는 어닐링, 보이드를 확인하는 계측이 하나의 라인으로 구성되어야 한다. 이 가운데 CMP와 플라즈마 처리는 전통적으로 전공정 기술이어서 어플라이드 머티어리얼즈와 램리서치 등 전공정 장비사가 후공정으로 들어오는 통로가 되고 있으며, 앞서 언급한 협업 사례들도 본더와 표면 처리 장비를 하나로 묶으려는 시도다. 하이브리드 본딩 도입이 본더 한 대의 교체가 아니라 라인 전체의 구성 변경을 수반한다는 점은 자본집약도에서 드러난다. 같은 월 캐파를 확보하는 데 드는 투자가 CoWoS는 만 장당 약 1.1억 달러인 반면 SolC는 약 6.8억 달러로 여섯 배에 달하며, 이 차이의 상당 부분이 본더 외 부대 설비에서 발생한다.

그림 34. 하이브리드 본딩 공정 흐름



자료: Applied Materials

몰딩과 마감 구간은 상대적으로 안정된 구도를 유지해 왔다. 컴프레션 몰딩은 토와가 앞서고 ASMPPT와 한미반도체 등이 뒤를 잇는다. 몰딩 이후에는 새어 나온 수지를 제거하는 디플래시, 스트립을 개별 패키지로 분리하는 싱클레이션, 제품 정보를 새기는 레이저 마킹이 이어지며 한미반도체가 MSVP 장비로, 이오테크닉스가 레이저 마킹에서 공급한다. 다만 인터포저를 사각 패널에서 만드는 방식으로 바뀌면 기존 웨이퍼용 설비로는 대응이 어려워 이 구간에서도 설비 교체 수요가 생길 전망이다.

발주 측면에서는 세 흐름이 동시에 진행된다. 우선 TC 본딩은 하이브리드 전환이 이뤄지는 동안 주력으로 남아 단수 대응을 위한 장비 교체가 이어진다. SK하이닉스는 2026년 1월 한미반도체와 한화세미텍에 각각 100억 원 규모의 HBM4용 TC 본더를 발주했고 2025년에는 양사 합산 1,300억 원 규모를 도입했다. 다음으로 하이브리드 본더는 양산 이전 평가용 발주가 선행되며 이 단계의 실적이 사업자별 진입 순서를 가른다. 마지막으로 하이브리드 본더 가격이 TC 본더의 두 배를 넘고 TC 본더 단가가 대당 30억 원 전후인 점을 감안하면, 세대 전환에는 장비 대수 증가와 단가 상승이 함께 반영된다. SolC 캐파가 2025년 월 1만 장에서 2029년 13만 장까지 늘어나는 경로를 고려하면 하이브리드 본딩 관련 설비 투자는 2027년 이후 빠르게 확대될 전망이다.

표 29. 패키징 장비 시장 규모 전망

칩	2026E	2027E	2028E	YoY(2027E)	YoY(2028E)
백그라인딩	1,730	1,850	1,970	+6.9%	+6.5%
다이싱	1,040	1,130	1,220	+8.7%	+8.0%
다이본더	1,015	1,052	1,090	+3.6%	+3.6%
와이어본더	836	869	904	+4.0%	+4.0%
플립칩본더	545	572	600	+5.0%	+4.9%
TC 본더	605	675	753	+11.6%	+11.6%
하이브리드 본더	185	224	271	+21.1%	+21.0%
몰딩	435	466	499	+7.1%	+7.1%
합계	6,391	6,838	7,307	+7.0%	+6.9%

자료: Yole Group

시장 규모로 보면 패키징 장비 시장은 2026년 약 64억 달러에서 2028년 73억 달러로 확대될 전망이다. 이 가운데 본딩 관련 장비가 절반가량을 차지한다. 연간 성장률은 7% 안팎으로 전체만 보면 완만하지만 세그먼트별 편차가 크다. 와이어본더와 다이본더, 플립칩 본더는 연 4~5% 성장에 그치는 반면 TC 본더는 11%대, 하이브리드 본더는 21%대로 확대된다. **하이브리드 본더는 2026년 기준 1억 8,500만 달러로 절대 규모는 작으나 성장률로는 패키징 장비 가운데 가장 높다.**

이 편차는 패키징 장비 시장의 성격이 바뀌고 있음을 보여준다. 성숙 공정에서 장비 시장은 기존 설비를 대체하며 물량에 연동해 성장했지만, 지금은 **새로운 접합 방식이 등장할 때마다 이전 세대를 대체하지 않은 채 별도 시장이 형성되는 형태**에 가깝다. 와이어본딩이 레거시 영역에서 유지되는 가운데 TC 본딩이 HBM으로 시장을 만들었고, 하이브리드 본딩이 다시 로직 3D 적층에서 또 하나의 시장을 열고 있다. 여기에 세대가 올라갈수록 단가가 계단식으로 상승하며, 장비 시장의 성장은 물량 확대와 단가 상승이 동시에 반영되는 것으로 보여진다.

테스트

AI 반도체 테스트
공정 단계별 전수
검사로 근본적 변화

AI 반도체 패키징부터 HBM, 3D 수직 적층(SoIC)과 2.5D 수평 적층(CoWoS)이 결합된 복합 구조로 진화함에 따라, 첨단 AI 반도체의 테스트 횟수는 2~3회 수준인 레거시 반도체와 달리, 6~7회 이상으로 증가하였다. 이는 반도체 테스트 패러다임이 '최종 출하 전 단발성 검사'에서 '공정 단계별 전수 검사'로 근본적인 변화를 겪고 있음을 보여준다.

레거시 반도체와 첨단 AI 반도체의 가장 결정적인 차이는 '단일 칩(Monolithic) 단순 포장'과 '이종 칩렛(Heterogeneous) 미세 조립'이라는 공정 구조의 차이에서 비롯된다. 과거 패키징은 칩 하나를 기판에 연결한 뒤 에폭시 몰딩으로 감싸는 것이 전부였다. 즉, 패키징 내부에 복잡한 회로나 칩이 없었기에, 펌 출하 시점의 웨이퍼 검사(EDS)와 포장 직후의 파이널 테스트(FT) 등 2~3회의 단발성 검사만으로 충분했다. 패키징 후 불량 발생해도 손실은 저가 단품 칩 1개 수준에 그쳤기에, 공정 중간에 고가 검사 장비를 투입할 경제적 실익이 낮았다.

그러나 AI 반도체 패키징은 HBM과 칩렛 구조가 도입되면서 단순 포장이 아닌 '초미세 후공정 제조'로 변모했다. 여기서 테스트가 필수화된 첫 번째 근거는 **복합 수율(Compound Yield) 법칙에 의한 수율 급락**이다. 개별 D램 다이의 단품 수율이 99%로 아무리 우수하더라도, 이를 12단으로 쌓아 올리면 최종 스택 수율은 약 89%까지 떨어진다. 수천 개의 수직 관통 전극(TSV) 중 단 하나만 연결이 끊어져도 12층 탑 전체를 버려야 하는 치명적인 연쇄 불량 리스크가 발생하기 때문이다.

두 번째 근거는 **공정 진행에 따른 모듈 내 누적 가치(Accumulated Value)의 폭증**이다. 최첨단 공정(3nm 등)으로 만든 GPU 연산 칩렛, HBM, CoWoS 실리콘 인터포저까지 하나의 모듈로 결합되는 첨단 패키징에서는 결합 단계가 진행될 때마다 모듈의 단가가 기하급수적으로 증가한다. 단품 칩 불량 시 손실금은 수십 달러 수준이지만, 최종 완제품 상태에서 불량이 터지면 수만 달러에 달하는 정상 GPU와 HBM, 초고가 인터포저까지 통째로 폐기해야 한다. 불량 선별 지연에 따른 손실이 급증하는 구조가 형성되면서, 고가의 검사 장비와 복잡한 테스트 절차의 경제적 실익이 증가하였다.

AI 반도체 수익성
결정 요인
6~7회 테스트로
수율 보존

결국 검사 시점은 칩 조립 전 불량 부품의 투입을 원천 차단하는 KGD(Known Good Die) 검증, 3D SoIC 수직 적층 및 2.5D CoWoS 수평 결합 직후 TSV와 마이크로범프의 연결 상태를 가려내는 단계별 접합 검증, 그리고 완제품 기판(FC-BGA) 결합 후 고온·과부하 환경을 가하는 최종 실환경 검증(SLT) 등으로 촘촘히 분산되었다. 검사 노드가 6~7회 이상으로 세분화되고 요구 정밀도가 초미세 영역으로 진입함에 따라, 테스트 공정은 단순한 원가 절감 대상이 아닌, 완제품 수율 보존을 통해 반도체 제조사의 수익성을 결정짓는 핵심 요인으로 자리 잡았다.

테스트 공정 단계

테스트 공정 단계
크게 웨이퍼, 접합,
패키지 단계로 구분

테스트는 크게 웨이퍼 테스트, 접합 테스트, 패키지 테스트 단계로 이루어지며 세부 단계는 크게 7가지로 나뉜다.

표 30. 테스트 공정 및 세부 단계 정리

테스트 공정	세부 단계
웨이퍼 테스트 (1~2단계)	1. EDS 검사 (DRAM/로직 웨이퍼): ET 테스트 및 번인 → 본 테스트 → 리페어 → 인킹 2. KGD 베어다이 검사
접합 테스트 (3~6단계)	3. HBM 적층 중간 및 KGSD 검사 4. SoIC 3D 수직 접합 검사 5. 실리콘 인터포저 KGI 검사 6. CoWoS 2.5D 수평 결합 검사
패키지 테스트	7. FC-BGA 완제품 검사 (번인→코어→스피드) 및 SLT 검사

자료: KUVIC 리서치 2팀

1) 웨이퍼 테스트

웨이퍼 테스트
EDS 검사와 KGD
베어다이 검사로
구분

웨이퍼 테스트는 다이 단위로 자르기 전, 원판 웨이퍼 상태에서 진행하는 EDS(Electrical Die Sorting) 검사와 다이싱 이후 날개 칩(Bare Die) 상태에서 진행하는 정밀 검사인 KGD(Known Good Die) 검사로 나뉜다. 검사 대상은 HBM의 베어 다이(DRAM)·베이스다이, CoWoS 실리콘 인터포저, 로직칩 연산다이·베이스 다이 등이 다.

EDS 공정은 다시 ET 테스트 및 웨이퍼 번인, EDS 본테스트, 리페어 및 인킹의 순서로 세분화된다. ET 테스트는 트랜지스터, 저항, 커패시터 등 반도체 동작에 필요한 개별 소자에 전기를 흘려보내 직류 전압·전류 특성이 정상적으로 구현되었는지를 측정하는 단계다. 웨이퍼 번인은 300mm 웨이퍼를 125도 이상의 고온 챔버에 넣고 고전압 스트레스를 인가해 잠재적 초기 불량 칩을 조기에 노화시켜 탈락시키는 단계로, AI 수요와 HBM3E·HBM4의 고단화에 힘입어 테스트 공정 내에서 가장 빠르게 성장하는 영역이다. 다만 번인은 그 자체로 완결된 검사가 아니라는 점에 유의할 필요가 있다. 고온·고전압 스트레스 인가와 번인 후 EDS 재테스트가 한 세트로 묶이며, 번인이 잠재 불량을 조기에 드러내면 이를 판정하고 선별하는 역할은 전후의 EDS 테스트가 담당한다.

EDS 본공정은 웨이퍼 번인을 통과한 웨이퍼에 프로브카드를 접촉시켜 초고속 전력·신호를 인가하고 정밀 수율을 판정하는 최전선이다. 검사를 마친 웨이퍼 중 메모리 반도체의 불량 셀은 레이저로 예비 셀(Redundancy)을 연결하는 리페어 공정을 거쳐 살려내며, 최종 불량 다이는 디지털 좌표에 기록하는 인킹(Wafer Mapping)으로 마무리된다. 이 시점에 확정된 웨이퍼 수율이 이후 패키징 공정으로 넘어갈 다이의 범위를 결정한다.

KGD(Known Good Die) 베어다이 검사는 웨이퍼 절단(Dicing) 공정을 거쳐 날개로 분리된 다이(Bare Die), 칩렛(Chiplet), 그리고 HBM 베이스 다이 등의 단품 칩을 대상으로 진행하는 정밀 최종 재검증 단계다. EDS 공정을 통과했더라도, 날개 칩 상태에서 실제 데이터센터 가동 환경과 동일한 초고속 AC 신호와 극단적 고온·고전압 스트레스를 인가하여 칩이 100% 정상 작동하는지 '동적 시스템 레벨'로 판정한다. KGD 검사는 이미 다이가 분리된 상태이므로 레이저 리페어나 인킹 공정을 거치지 않고 오직 100% 양품만을 분류한다는 점이 특징이다. 이는 초고가 GPU, HBM, 실리콘 인터포저가 복합 결합되는 2.5D·3D 첨단 패키징 공정에서 단 1개의 불량 다이 때문에 수천만 원 상당의 모듈 전체가 폐기되는 손실을 막아 패키징 수율을 보장하는 핵심 선별 공정이다.

2) 접합 테스트

접합 테스트
HBM, SoIC 3D,
실리콘 인터포저,
CoWoS 2.5D 부품
대상으로 진행

AI 반도체 패키징이 HBM, 2.5D CoWoS, 3D SoIC 등 이중 집적 구조로 발전하면서, 부품을 서브 라인에서 **병렬 검증**하고 TSV·하이브리드 본딩으로 단계적 결합 시 **수행하는 '접합 테스트' 공정이 등장**하였다. AI 반도체만의 새로운 분야인 접합 테스트가 테스트 공정 내에서 가장 빠르게 성장하는 이유는 첨단 패키징 특유의 '치명적 수율 손실' 구조 때문이다. 수천~수만 개의 미세 범프와 TSV(관통 실리콘 비아)로 고가의 칩렛, HBM, 인터포저가 복합 결합되는 특성상, 개별 부품을 병렬로 준비하는 공정부터 수직·수평으로 안착시키는 매 단계마다 즉각 신뢰성을 검증할 필요가 높아지면서, 접합 테스트는 핵심 공정으로 부상하고 있다.

HBM 적층 중간 및 KGSD(Known Good Stacked Die) 검사는 DRAM 단품 다이를 4단, 8단, 12단, 16단으로 올리는 중간 과정과, 베이스 다이까지 결합된 HBM 스택 덩어리 전체를 대상으로 진행하는 전수 검사다. 관통 실리콘 비아(TSV)와 마이크로 범프를 통해 수직으로 연결되는 메모리 셀 간의 전기적 도통 상태를 적층 직후 실시간으로 점검한다. 이를 통해 하층부 적층 불량률을 조기에 발견하여 불필요한 상층부 추가 적층을 즉시 중단하고, 최종 완성된 HBM 스택 전체가 초고대역폭 데이터 전송 속도를 완벽히 구현하는지 인터포저 결합 전 단계에서 '검증된 적층 다이(KGSD)' 상태로 최종 승인한다.

SoIC(System-on-Integrated-Chips) 3D 수직 접합 검사는 연산 칩과 I/O 칩, 또는 로직 칩과 코어 칩을 범프 없이 구리와 구리를 직접 붙이는 하이브리드 본딩(Hybrid Bonding) 직후 수행되는 초미세 수직 도통 검사다. 범프를 없애고 칩을 원자 수준으로 직접 밀착시키는 첨단 3D 하이브리드 접합 특성상, 피치(간격)가 수 마이크로미터(μm) 이하로 매우 좁아 접합 직후 미세 기포(Void)나 정렬 오차로 인한 TSV 통로의 단선 현상을 물리적·전기적으로 즉시 파악해야 한다. 이 검사는 수직으로 통합된 3D 칩렛 모듈의 전기적 신뢰성을 입증하여 다음 2.5D 수평 결합 단계로 넘겨주는 역할을 한다.

인터포저 KGI(Known Good Interposer) 검사는 2.5D 수평 결합(CoWoS) 공정에 진입하기 직전, 단품 웨이퍼 상태의 실리콘 인터포저 판 자체 회로를 사전 검증하는 단계다. 고가의 연산 칩과 HBM을 올려 결합하기 전, 수평 신호 연결 고리인 인터포저 내부의 초미세 재배선층(RDL)과 TSV의 단선 및 단락 여부를 정밀 측정한다. 연산 다이와 HBM이 아무리 100% 양품(KGD)이더라도 이를 받쳐주는 인터포저 회로에 결함이 있으면 모듈 전체가 마비되므로, 접합 공정 전 '검증된 양품 인터포저(KGI)'만을 선별해 내는 필수 사전 관문이다.

CoWoS(Chip-on-Wafer-on-Substrate) 2.5D 수평 결합 검사는 수직 접합을 마친 3D SoIC 로직 모듈과 3D 적층을 마친 HBM(KGSD)들을 KGI 인터포저 상단에 나란히 안착시킨 Chip-on-Wafer(CoW) 상태에서 진행되는 중간 데이터 통신 검사다. 최종 패키지 기판에 안착하기 전, 인터포저의 RDL을 매개로 메인 로직 칩과 HBM 간 초고속 테라바이트급 데이터 신호가 오차 없이 오가는지 동적으로 검증한다. 이 단계는 이중 칩 간 수평 인터커넥트의 최종 통신 성능을 판정하는 최전선으로, 최종 모듈 포장 전 치명적 결함을 사전에 필터링하는 결정적 역할을 담당한다.

3) 패키지 테스트

패키지 테스트
기존 번인, 코어,
스피드 테스트에
SLT 검사로
확장되는 구조

패키지 테스트(Package Test)는 절단(Dicing)과 조립(Packaging)을 마친 완제품 상태의 반도체를 패키지로 단위로 검증하는 최종 공정이다. 웨이퍼 테스트가 프로브 카드의 물리적 한계로 검사 항목이 제한되었던 것과 달리, 패키지 테스트는 날개 완제품을 대상으로 진행되므로 실제 가동 환경과 거의 유사한 조건에서 정밀한 전기적·신뢰성 검사가 가능하다. 전체 공정은 기본 신뢰성을 다지는 **번인 검사(TDBI)**, 기본 기능을 검증하는 **코어 테스트**, 동작 속도를 평가하는 **스피드 테스트**, 그리고 실제 가동 환경을 모사하는 **SLT 검사**로 확장되는 구조를 띈다.

패키지 번인 검사(TDBI; Test During Burn-In)는 완제품 패키지에 고온·고전압 스트레스를 가해 잠재적인 내재 결함을 초기에 노화시켜 탈락시키는 가혹 환경 신뢰성 평가 단계다. 메모리 등 대부분의 반도체 제품은 웨이퍼와 패키징 단계에서 번인 테스트를 거치지만, AI 프로세서의 경우 번인 시점이 패키지에서 웨이

퍼로 이동하는 흐름을 보이고 있다. AI 칩은 패키징 후 불량률이 발생하면 고가의 인접 HBM과 인터포저까지 모듈 전체를 통째로 폐기해야 하는 손실이 발생하므로, 조립 이전(웨이퍼 상태)에 잠재 불량을 선제적으로 걸러내려는 유인이 훨씬 강하기 때문이다.

코어 테스트(Core Test)는 번인 검사를 통과한 패키지가 설계된 기본 기능과 내부 회로 동작을 정상 수행하는지 전수 검증하는 단계다. 메모리 셀 전체를 순차적으로 훑으며 기본 작동 여부를 확인하므로 검사 시간이 상대적으로 길게 소요된다. 이 검사가 스피드 테스트보다 먼저 배치되는 이유는 기본 동작이 보장된 정상 칩을 전제로 후속 속도 등급을 매겨야 하기 때문이다. 즉, 코어 테스트는 불량품을 사전에 걸러내 후속 고속 검사의 공정 낭비를 막아주는 '비용 방어(Cost Defense)' 공정에 해당한다.

스피드 테스트(Speed Test)는 코어 테스트를 통과한 양품만을 대상으로 목표 규격 속도(At-Speed)로 동작하는지 평가하는 단계다. 단순한 합·불 판정을 넘어 안정적으로 동작하는 주파수 영역에 따라 수율 등급(Binning)을 세분화하고 레이저 마킹으로 기록한다. 동일한 다이에서 제조된 칩이라도 이 검사 결과에 따라 최종 판매 가격(ASP)과 탑재될 서버 등급이 결정되므로, 스피드 테스트는 단순 비용 방어가 아닌 '매출과 수익성을 결정하는 직결 공정'이다.

SLT(System Level Test) 검사는 기존 스피드 테스트만으로는 걸러낼 수 없는 '시스템 실가동 불량'을 방지하기 위해 새로 도입된 최후의 검증 단계다. FC-BGA 기판에 칩을 올려 완성된 AI 가속기 칩은 이상적인 전기 신호 환경인 테스터 장비에서 정상이어도, 실제 복잡한 OS나 멀티스레드 부하, 히트스프레더 내부의 발열 제어 환경과 만나면 가동 결함을 일으키는 한계가 존재했다. 이에 따라 실제 서버 가동 환경과 동일하게 구현된 소켓에 완제품을 꽂아 실제 소프트웨어와 애플리케이션을 구동해보는 SLT 검사가 필수화되었으며, 이를 통해 출하 후 시스템 탑재 시 발생할 수 있는 치명적 불량을 최종 차단하게 된다.

테스트 장비 및 부품

테스트 장비 및 부품
기존 테스터, 인터페이스, 핸들링 장비와 신규 장비로 구성

AI 반도체의 2.5D·3D 이중 집적 구조의 확산은 반도체 테스트 공정을 '최종 불량 선별' 단계에서 제품 수율을 방어하고 가치를 결정하는 핵심 공정으로 변화시켰다. 과거 단일 다이 중심의 레거시 반도체 생태계에서는 검사 실패 시 발생하는 손실이 개별 칩 단계에 국한되었고, 발열 및 회로 밀도 역시 기존 설비로 제어 가능한 수준이었다. 따라서 전기적 신호를 생성·판독하는 **테스터(ATE)**, 칩과 테스터를 연결하는 **인터페이스(프로브카드·소켓)**, 칩을 이동시키는 **핸들링(프로버·핸들러)**라는 크게 3가지 장비 및 부품만으로 전체 검사 라인을 차질 없이 구동할 수 있었다.

그러나 고성능 AI 프로세서와 HBM, 인터포저가 복합 결합되는 첨단 패키징 시대에 진입하면서 테스트 장비 및 부품 생태계는 뚜렷한 구조적 변화가 나타나고 있다. 먼저 **기존 테스트 장비 및 부품이 검사 단계(웨이퍼, 접합, 패키지)별 목적에 따라 세분화**되었다. ATE의 경우 WWLBI·SLT 등 전용 테스터로 분화되었고, 접촉부와 이송부 역시 초미세 MEMS 핀 및 고주파 소켓, 다이 레벨 정밀 핸들러로 고도화되었다.

둘째, 기존 3대 장비만으로는 대응에 한계가 있는 **기술적 격차를 메우기 위해 신규 장비 및 부품이 등장**하였다. 완제품 폐기 손실을 막기 위한 WLBI 챔버와 고속 신호의 손실 및 간섭을 보완하는 인터페이스 보드가 대표적이다.

1) 기존 테스트 장비 및 부품

기존 테스터 장비 및 부품
테스트 공정 단계별 목적에 따라 수직적으로 세분화

기존 테스트 장비는 검사 신호를 생성하고 판독하는 **테스터(ATE 등)**, 칩과 테스터를 물리적·전기적으로 연결하는 **인터페이스(프로브카드 및 소켓)**, 그리고 칩을 검사 위치로 정밀하게 정렬·이송하는 **이송부(프로버 및 핸들러)**의 3대 축으로 작동한다. AI 반도체 및 이중 집적 공정의 도입 이후 단순 정형화된 설비에서 벗어나, 공정 단계(웨이퍼 → 접합 → 패키지)별 목적에 따라 수직적으로 세분화되는 흐름을 보인다.

표 31. 기존 테스트 장비 및 부품

구분	웨이퍼 테스트	접합 테스트	패키지 테스트
테스터	ATE, 파라메트릭 테스터	ATE	ATE, SLT 테스터
인터페이스	프로브카드	프로브카드	패키지 소켓
핸들링	프로버	프로버, 다이 레벨 핸들러	패키지 핸들러

자료: KUVIC 리서치 2팀

① 테스터 (ATE, Specialized Tester)

테스터
ATE와 Specialized
Tester로 구분

ATE(Automated Test Equipment)는 초고속 신호 발생기와 슈퍼컴퓨터의 결합체로, 전기적 신호를 인가하고 반환 결괏값을 판독해 칩의 양·불량을 가려낸다. 테스트 스피드, 채널 수 및 병렬성, 타이밍 정밀도가 핵심 경쟁력이다. 특히 첨단 패키징 시대에는 공통 테스터 플랫폼(아키텍처)을 공유하되, 공정 목적에 맞춰 채널 보드와 인터페이스를 특화 구성한 ATE 장비들이 **웨이퍼, 접합(적층), 최종(패키지) 테스트 공정 단계마다 각각 별도로 투입되는 다층적 검사 구조**를 형성한다.

ATE
웨이퍼, 접합,
패키지 단계 각각
사용

웨이퍼(EDS) 단계에서는 적층 직전의 DRAM·로직 웨이퍼의 극정밀 선별 목적으로 검사를 진행한다. 특히 HBM의 경우 로직 다리와 DRAM 다리를 적층하는 구조상 검증해야 할 경우의 수와 핀 수가 폭증해 웨이퍼 1장당 테스트 타임이 일반 DRAM 대비 2~3배 길어진다. 테스트 타임 증가는 팹 라인의 병목으로 직결되며, 고객사가 목표 생산량을 맞추기 위해서는 테스터 대수를 물리적으로 늘리는 것 외에 대안이 없다. 즉 HBM 세대 전환은 그 자체로 테스터 수요를 증폭시키는 구조다.

접합 단계에서는 EDS를 통과한 웨이퍼를 잘라낸 뒤, 날개 칩(KGD) 및 중간 적층체(KGSD)를 대상으로 정밀 신호 및 연결성 검사를 진행한다. EDS가 기본 동작을 확인하는 1차 검사라면, 이 단계는 칩을 한 단씩 쌓아 올릴 때마다 TSV 통전 상태 및 미세 범프의 신호 연결을 실시간 점검하는 '중간 적층 검사'가 핵심이다.

패키지 단계에서 ATE는 제품의 최종 수율 등급(Binning)과 판매 단가(ASP)를 결정짓는 최후의 관문으로 작동한다. 기본 전압·저속 신호 환경에서 칩 내부 셀이 정상 작동하는지 가려내는 코어 테스터, 실제 스펙상 최대 주파수(예: HBM3E의 9.6Gbps)까지 속도를 올려 성능 등급을 나누는 스피드 테스터 역할을 담당한다.

ATE 테스터 시장은 **어드반테스트와 테라다인 두 곳이 80~90%를 점유하는 과점 체제**로, 어드반테스트는 메모리 테스터 점유율 80% 이상의 확고한 1위 사업자로서 HBM 투자의 최대 수혜주이며, 테라다인은 로직 및 칩렛 영역의 강자로 메모리보다 복잡한 비메모리 칩을 검사하는 만큼 장비 대당 판가가 높게 형성된다.

Specialized Tester
파라메트릭
테스터(ET 테스터),
SLT(패키지 단계)
등

ATE가 전기 신호를 주고받으며 칩의 스펙과 동작 유무를 스캔한다면, **특화 테스터(Specialized Tester)**는 공정 안정성, 가혹 환경 내구성, 실제 시스템 호환성처럼 특정 목적 검사에 최적화된 전용 장비다. **웨이퍼 단계에서는 파라메트릭 테스터(ET 테스터)**가 팹 공정 직후 스크라이브 라인의 테스트 패턴을 통해 누설 전류나 극미세 전압 변화를 정밀 계측한다. 키사이트가 점유율 1위이며 키슬리, 어드반테스트, 테라다인이 시장을 함께 과점하는 구조이다. **패키지 단계에서는** 파형 검사를 마친 칩을 실제 메인보드, OS 및 서버 환경에 직접 장착해 고부하 소프트웨어를 구동해 보는 **SLT(System Level Tester)**가 최종 시스템 호환성 검증을 담당한다. SLT는 AI 칩 및 첨단 패키징 고도화에 따라 새로이 개척되고 있는 고성능 신규 시장으로, 네오셈, 테크윙 등 특화 테스터·핸들러 기업들과 어드반테스트, 테라다인 등 기존 ATE 장비사들이 시장 주도권을 두고 확장하고 있는 영역이다.

그림 35. ATE 테스터



자료: KUVIC 리서치 2팀

그림 36. 특화 테스터 (파라메트릭 테스터)



자료: KUVIC 리서치 2팀

② 인터페이스 (프로브카드, 소켓)

인터페이스
프로브카드와
소켓으로 구분

프로브카드 P*Q
웨이퍼와 칩 설계
바뀔 때마다 교체
수요 발생

테스트 공정에서 테스터 인터페이스 부품은 검사 단계와 접촉 방식에 따라 **프로브카드(Probe Card)**와 **테스트 소켓(Test Socket)**으로 구분된다.

프로브카드는 웨이퍼 및 접합 직전 상태의 칩 패드에 극미세 바늘(MEMS 핀)을 직접 접촉시켜 테스터의 전기적 신호를 전달하는 핵심 인터페이스 부품이다. 웨이퍼의 다이마다 핀을 접촉시켜 검사하는 방식이므로 웨이퍼와 칩의 아키텍처가 바뀔 때마다 교체 수요가 발생하며, 핀 수에 비례해 단가가 상승하고 칩이 미세화될수록 수요가 커지는 구조다. HBM 세대 전환은 이 구조에 P와 Q의 동시 상승을 유발한다. HBM3E에서 HBM4, HBM4E로 넘어가며 I/O가 1,024개에서 2,048개로 두 배 확장되고 적층 단수도 16단이 본격화되기 때문이다.

프로브카드의 물리적 구조는 크게 **PCB, 세라믹 STF, 프로브 핀 세 부품**으로 이루어진다. PCB는 테스터 헤드와 맞닿는 넓은 기판이며, 세라믹 STF는 PCB의 넓은 배선 간격을 하단 웨이퍼의 극미세 칩 패드 간격에 맞게 축소해 주는 역할을 한다. 칩이 조밀해질수록 STF에는 고난도의 세라믹 제어 기술이 요구되며, 프로브카드 원가의 약 30%를 차지한다. 프로브 핀은 칩 패드에 직접 접촉하는 최하단의 바늘로, 최근에는 반도체 노광 공정을 이용해 정밀하게 가공하는 MEMS 핀이 주류로 자리 잡았다.

한편 **WBI(번인) 전용 프로브카드**는 별도의 영역을 형성한다. 125도 이상의 고온 환경에서 열변형 없이 웨이퍼 전면 패드에 밀착해 전력과 신호를 인가해야 하므로 내열·고전력에 특화된 MEMS 또는 Full-Wafer 구조가 요구된다.

하이엔드 프로브카드 시장은 폼팩터, 이탈리아 테크노프로브, 일본 MJC 3사가 기술적으로 삼분하고 있으며, 국내 티에스이는 상대적으로 단가가 낮은 CXMT형 물량을 담당하면서 하이엔드 비중을 확대해 가는 구조다. 수요 강도는 글로벌 피어의 가이던스에서 확인된다. MJC는 HBM4·HBM4E 및 커스텀 HBM 전환의 초입기인 현시점에 관련 프로브카드 판매량이 전년 대비 26% 이상 성장할 것이라고 공식 발표한 바 있다.

소켓 P*Q
패키지 검사 단계의
세분화로 칩단 소켓
투입량 및 검사
난이도 상승

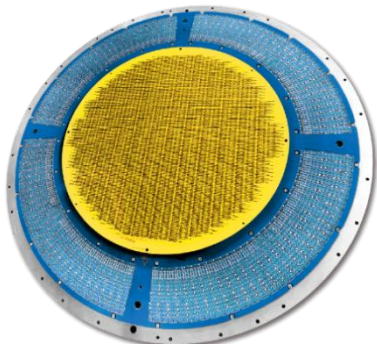
테스트 소켓은 패키징이 완료된 완제품 칩에 가압 접촉하여 테스터와 전기적 신호를 전달하는 패키지 및 접합 공정의 핵심 인터페이스 부품이다. 특히 AI 반도체, 칩렛(Chiplet), 2.5D/3D 패키징의 확산은 테스트 소켓 시장의 단가(P)와 물량(Q)을 동시에 끌어올리는 핵심 동인이다. 칩의 면적이 커지고 I/O 범프 수가 급증함과 동시에, GHz 단위의 초고속 신호 전달 환경에서 신호 손실을 최소화하고 고열을 제어해야 하는 기술적 난이도가 높아지며 **소켓 단가(P)가 크게 상승**했다. 또한 검사 단계가 세분화되면서 **칩당 소켓 투입량(Q)이 확대**되며, 테스트 소켓은 칩 패키지의 물리적 폼팩터 및 볼/범프 배열에 맞춤 제작되는 커스텀 부품이므로, 신규 칩이 개발되거나 아키텍처가 전환될 때마다 **신규 소켓 교체 수요**가 즉각 발생한다.

테스트 소켓은 접촉 방식에 따라 크게 **포고 핀(Pogo Pin) 소켓**과 **실리콘 러버(Rubber) 소켓**으로 구분된다. 포고 핀 소켓은 내부 미세 스프링 구조를 활용해 물리적 복원력과 내구성이 뛰어나며, 다품종 소량 생산 및 연구 개발(R&D)부터 양산 검사에 이르기까지 폭넓게 사용된다. 반면 실리콘 러버 소켓은 실리콘 엘라스토머 내부에 전도성 입자를 배열한 방식이다. 신호 전달 길이가 매우 짧아 초고주파·고속 신호 특성에 압도적으로 유리하며, 칩 패키지의 솔더볼 손상을 최소화하는 장점이 있어 메모리 및 고속 로직 양산 라인에서 채택률이 높다.

한편 **번인(Burn-in) 및 SLT(시스템 레벨 테스트) 영역에서는 특화 소켓**이 쓰인다. 번인 소켓은 120°C 이상의 고온과 고전압 스트레스를 수시간 동안 인가받아야 하므로 열변형을 견디는 특수 내열 구조와 고가압 내구성이 요구된다. 패키징 후 최후의 관문인 SLT 전용 소켓은 실제 서버 및 OS 환경에서 고부하 소프트웨어를 돌릴 때 발생하는 급격한 발열을 제어해야 하므로, 방열(Thermal Control) 모듈과 결합된 고단가 인터페이스로 공급된다.

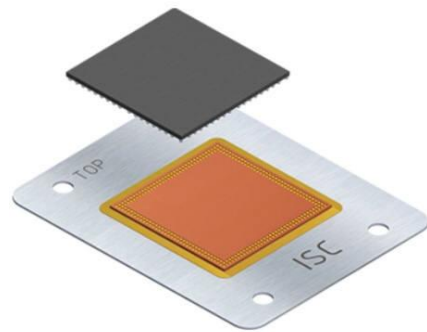
테스트 소켓 시장은 기술적 특성에 따라 글로벌 강자들이 시장을 분점하고 있다. 전통적인 포고 핀 및 소켓 영역에서는 리노공업이 독보적인 기술력과 이익률을 바탕으로 글로벌 시장을 주도하고 있으며, 실리콘 러버 소켓 영역에서는 글로벌 1위인 ISC(한미반도체 계열)를 필두로 티에스이, 오킨스전자, 마이크로컨택솔 등의 기업들이 시장에 포진해 있다. AI 반도체 패키징 고도화와 SLT 공정 도입 확대에 따라 고가형 소켓의 투입 비중은 지속적으로 확대되는 추세다.

그림 37. 프로브카드



자료: TSE, KUVIC 리서치 2팀

그림 38. 테스트 소켓



자료: ISC, KUVIC 리서치 2팀

③ 핸들링 (프로버, 핸들러)

핸들링
웨이퍼 프로버와
핸들러로 구분

핸들링 장비는 검사 대상인 웨이퍼나 완제품 칩을 물리적으로 이송·정렬하고 기계적 가압 및 온도 환경을 제어하는 핵심 수송·안착 장치다. 검사 단계에 따라 **웨이퍼 프로버(Wafer Prober)**와 **핸들러(Package Handler)**로 나뉘며, 최근 첨단 패키징 확산에 따라 핸들러 영역은 **다이 레벨(Die-Level)**과 **패키지 레벨(Package-Level)**로 정교하게 세분화되고 있다.

웨이퍼 프로버는 웨이퍼를 마이크로미터 오차 없이 이동시켜 프로브카드 핀에 정밀하게 정렬시키는 장치로, 테스터와 프로브카드가 정상 작동할 수 있도록 웨이퍼를 하단에서 받쳐 알맞은 각도와 힘으로 밀어 올리는 초정밀 스테이지 역할을 수행한다.

프로버 P*Q
척 기술로 단가
상승, HBM 물량
확대로 투입 수량
상승 구조

웨이퍼 프로버 역시 AI 반도체와 HBM 세대 전환에 따라 P와 Q가 동시 상승하는 대표적 수혜 장비로, 미세 회전각 제어 및 극온 환경(-40~150°C)을 견디는 고가 써멀 척(Thermal Chuck) 기술이 탑재되어 장비 단가(P) 상승을 이끌고 있다. 동시에 HBM 수율 확보를 위한 웨이퍼 전면 번인(WLBI) 공정이 필수화되고 HBM 웨이퍼 생산 물량이 확대되면서 라인 내 프로버 스테이지 투입 수량(Q)도 함께 늘어나는 구조다. 글로벌 시장은 도쿄일렉트론(TEL)이 55~60%, 도쿄정밀(TSK/Accretech)이 30~35%를 차지하며 두 일본 기업이 80% 이상을 점유하는 사실상의 독점적 양분 구조를 형성하고 있다.

핸들러는 칩을 트레이에서 집어 올려 테스트 소켓에 가압 안착>Loading)시키고, 검사가 완료된 칩을 결

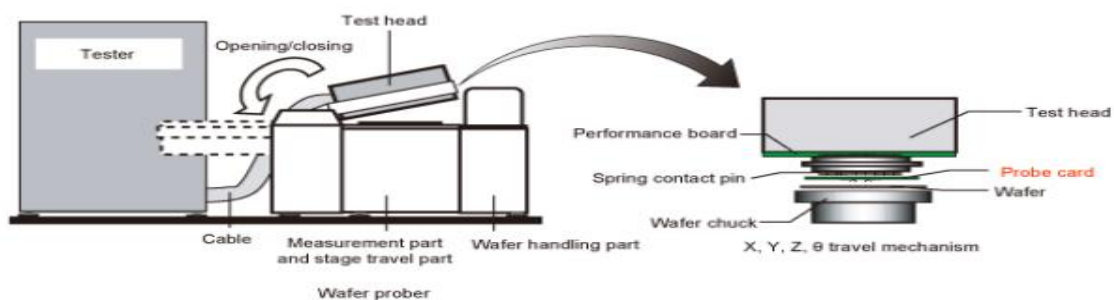
과에 따라 등급별로 자동 분류(Sorting)하는 물리적 이송·선별 장비다. HBM 및 칩렛 등 첨단 패키징의 등장으로 KGD(Known Good Die) 검사의 중요성이 커짐에 따라, 핸들러의 역할은 기존 완제품 단계를 넘어 날개 다이 단계로 확장되었다.

핸들러 P*Q
첨단 패키징
확산으로 단가 상승,
검사 단계 세분화로
수량 증가

AI 반도체 및 첨단 패키징 확산은 핸들러 시장의 단가(P)와 물량(Q)을 동시에 끌어올리는 구조적 동인이다. 칩 발열 제어를 위한 능동형 열제어(ATC) 및 삼온(Tri-Temp) 기술, 수만 개 범프 접촉을 위한 고가압 기술, 다이 파손 방지 정밀 가공 기술 등이 요구되며 장비 평균 단가(P)가 가파르게 상승하고 있다. 이와 함께 검사 단계가 완제품 단일 검사에서 날개 다이(KGD) 검사 및 시스템 레벨 테스트(SLT)로 세분화·다변화되면서 공정 당 핸들러 투입 수량(Q) 역시 동반 확대되는 구조다.

글로벌 시장에서는 미국 코후(Cohu) 등 해외 선단 기업과 함께, 국내 테크윈이 글로벌 메모리 핸들러 시장에서 독보적인 점유율을 확보하고 있으며 제이티 등이 주요 공급사로 포진해 있다. AI 반도체 고도화와 SLT(시스템 레벨 테스트) 공정 도입 확대에 따라 고가압·고방열 특화 핸들러 및 다이 레벨 핸들러의 투입 비중은 지속적으로 확대될 전망이다.

그림 39. 프로버



자료: KUVIC 리서치 2팀

2) 인터페이스 보드·번인 장비

AI 반도체 및 첨단 패키징의 도입은 테스터, 인터페이스 부품, 핸들러뿐만 아니라 **인터페이스 보드 및 웨이퍼 레벨 번인(WLBI) 장비** 시장의 구조적 성장을 끌어올리고 있다.

인터페이스 보드
프로브카드, 소켓과
테스터를 연결하는
특수 기판

인터페이스 보드는 프로브카드나 테스트 소켓 같은 **접촉 부품**과 **메인 테스터(ATE) 간의 전기적 신호를 매개하는 특수 기판**이다. 검사 목적에 따라 크게 로드 보드(Load Board)와 번인 보드(Burn-In Board)로 구분된다. 로드 보드는 테스터와 프로브카드·소켓 사이에서 GHz 단위의 초고속 신호를 손실 없이 전달하며, AI 반도체의 I/O 급증에 발맞추어 고다층화 및 초저손실 특수 소재 적용이 확대되고 있다. 번인 보드는 수십~수백 개의 소켓을 장착한 채 고온·고전압 가혹 환경에 투입되는 내열·내전압 특화 기판이다.

이들 인터페이스 보드는 칩의 외형 및 볼 배열이 바뀔 때마다 1:1로 맞춤 재설계되는 커스텀 소모품의 성격을 띤다. AI 칩 구조의 다변화로 신규 설계 및 투입 수량(Q)이 급증하고 있으며, 고다층·고주파 사양 전환에 따라 판가(P) 또한 지속적으로 상승하고 있다. 어드반테스트, 테라다인 등 글로벌 ATE 기업의 수직계열화로 과점 구조이나, 국내 티에스이(TSE)가 프로브카드·소켓·보드 3대 부품을 모두 내재화한 세계 유일의 턴키 역량으로 독보적 입지를 구축하고 있다.

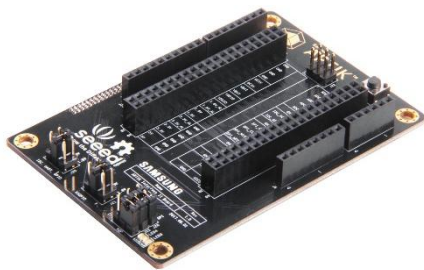
번인
수율 방어의
경제성으로 적극적
도입 중

번인(Burn-In) 검사는 메모리칩의 경우 웨이퍼와 패키지 단계에서 모두 진행되며, AI 로직 칩의 경우 웨이퍼 레벨 번인(WLBI/WBI)으로 중심축이 이동하고 있다. 이는 칩렛 기반 AI 프로세서의 경우 모듈 단위에서 폐기 시 손실이 막대하기 때문이다. 6개 칩렛으로 구성된 AI 프로세서는 모듈당 단가가 약 3,200달러에 달하고 잔존 가치 회수율이 낮아, WBI를 통해 수율을 7.6%p만 방어해도 연간 약 1,970억 원의 손실을 방지할 수 있다. 이는 HBM에서 수율 13.0%p를 개선하여 연 880억 원을 방어하는 효과보다 커진 경제적 이점이다. 투자

회수 기간(Payback Period) 측면에서도 WBI의 우위가 명확히 입증된다. 약 300억 원 규모의 WBI 장비 및 프로브카드 투자를 가정할 때, AI 프로세서 라인에 불과 3.7~6.1개월 만에 투자금을 전액 회수할 수 있다. HBM 라인 역시 보수적 기준에서 6.8~11.4개월의 회수 기간이 산출되며, TSV 주변 열변형을 사전에 선별해 본딩 수율을 높이는 시너지까지 감안하면 회수 속도는 한층 빨라진다.

이러한 수율 방어막의 막대한 경제성 덕분에 엔비디아와 TSMC 등 글로벌 빅테크는 WBI 장비에 적극적인 CapEx를 집행하고 있다. WBI 공정 도입은 웨이퍼 단계 검사 노드가 신설됨에 따라 장비 및 프로브카드 투입 수량(Q)을 대폭 늘리는 동시에, 극온 제어 기술이 탑재된 하이엔드 셋트 단가(P) 상승을 견인한다. WBI 관련 매출은 AI 프로세서 라인에서 선제적으로 개화한 뒤, HBM 고단화 흐름과 맞물려 폭발적으로 확대되는 양상을 보이고 있다. 관련 장비 시장에서는 국내 다이아와 엑시콘이 국산화를 이끌고 있으며, 해외에서는 어드반테스트, 테라다인, 코후 등이 글로벌 시장을 점유하고 있다.

그림 40. 인터페이스 보드



자료: KUVIC 리서치 2팀

그림 41. 번인 테스트



자료: KUVIC 리서치 2팀

테스트 시장 규모 및 성장률

테스트 시장 규모
연평균 6~8%
CAGR로 2030년
280억 달러 이상

가파른 성장세
프로브카드와
웨이퍼 번인

완만한 성장세
ATE 테스터, 웨이퍼
프로버, 패키지 번인
등

글로벌 반도체 테스트 시장은 ATE 테스터, 이송 장비(프로버·핸들러), 접촉 부품(프로브카드·소켓), 특화 챔버 영역을 아우르며 2026년 기준 약 200억 달러 수준에서 연평균 6~8% CAGR로 성장해 2030년 약 280억 ~ 320억 달러 규모로 확대될 것으로 전망된다.

특히 첨단 패키징 공정의 대규모 폐기 손실을 막기 위한 수율 방어 직결 영역에서는 다른 테스트 공정을 압도하는 가파른 성장이 기대된다. 이에 따라 가장 유망한 분야는 프로브카드(27억 달러, 성장률 15~18%)와 웨이퍼 레벨 번인(WBL, 21~25억 달러, 성장률 10~15%)이다.

최첨단 MEMS 기반의 HBM 및 CoWoS/첨단 패키징용 프로브카드는 연평균 15~18% 이상의 폭발적인 성장을 기록하고 있다. 이는 단순 물량(Q) 증가를 넘어 칩당 I/O 급증과 초미세 핀 피치 적용에 따른 평균판매단가(P) 상승이 동반된 결과다.

또한 완제품 모듈 단계에서 불량률 발생될 경우 발생하는 손실이 개별 칩 단가를 크게 상회하는 첨단 패키징 환경에서는, 공정 초기에 결함을 100% 걸러내는 WBL 밸류체인의 기술적 몸값이 가장 높게 형성될 수밖에 없다. 따라서 글로벌 과점 구조를 기반으로 안정적 흐름을 보이는 전통 메인 장비사(ATE, 프로버) 중심의 접근보다, 가파른 실적 성장이 입증되는 WBL 전용 장비·챔버 기업(AEHR, 디아이, 엑시콘) 및 고온·고전력 내열 특화 기술과 초고다층 기판 내재화 경쟁력을 보유한 Full-Wafer 프로브카드 및 하이엔드 인터페이스 보드·소켓 기업(폼팩터, 테크노프로브, 티에스이, 리노공업)이 직접적인 수혜 대상이 될 것으로 전망한다.

반면, 성숙 단계에 진입한 ATE 테스터(89억 달러, 5.7%), 웨이퍼 프로버(15억 달러, 5.6~6.7%), 패키지 번인(15~25억 달러, 3~5%) 등 전통 장비 영역은 연평균 3~7% 수준의 안정적이고 완만한 성장에 머무를 전망이다.

표 32. 테스트 시장 규모 및 성장률 (25~26년 기준)

구분	시장 규모(TAM)	성장률	대표 플레이어
ATE 테스터	89억 달러	5.7%	Advantest, Teradyne
웨이퍼 프로버	15억 달러	5.6~6.7%	TEL, TSK(Accretech)
프로브카드	27억 달러	15~18%	FormFactor, Technoprobe, 티에스이
웨이퍼 번인	21~25억 달러	10~15%	AEHR, 디아이
테스트 핸들러	12~16억 달러	7.5~12%	Cohu, 테크윙
테스트 소켓	13~21억 달러	7%	ISC, 리노공업
패키지 번인	15억~25억 달러	3~5%	디아이, Advantest

자료: KUVIC 리서치 2팀 추정

왜 OSAT인가?

OSAT

어드밴스드 패키징_
전공정 미세화가
한계에 부딪히자
등장한
두 번째 미세화

반도체의 성능을 극대화하기 위해 어드밴스드 패키징이 등장했다. 어드밴스드 패키징은 일반 패키징에 비해 공정이 복잡하고 테스트 시간도 배로 필요하다. 하지만 파운드리와 IDM은 첨단 패키징과 테스트 캐파를 무한정 늘릴 수 없었고, 이에 수익성 높은 공정에 생산능력을 우선 배분했다. 그리고 상대적으로 부가가치가 낮은 공정들은 OSAT에게 맡기고 있다. **OSAT란 패키징과 테스트를 전문적으로 외주 받아 수행하는 기업을 의미한다.** 패키징과 테스트 모두를 담당하는 OSAT는 AI 칩 수요 증가에 양 부분에서 동시에 수혜를 받고 있다. 그리고 그 중심에는 Amkor와 ASE(SPIL)이 있다.

Amkor Technology (Amkor)

세계 2위 OSAT

Amkor 매출_
통신이 매출의
절반이지만
성장과 마진으로
보자

Amkor는 미국에 본사를 둔 글로벌 2위 OSAT로 웨이퍼 범프부터 최종 테스트까지 후공정 전 구간을 턴키로 제공한다. 매출은 통신, 컴퓨팅, 자동차, 컨슈머 4개의 시장으로 나뉘며, 컴퓨팅 부문이 16%라는 높은 성장률로 빠르게 성장하며 믹스 개선이 이루어지고 있다.

TSMC의 Top-Tier OSAT: CoWoS의 Os

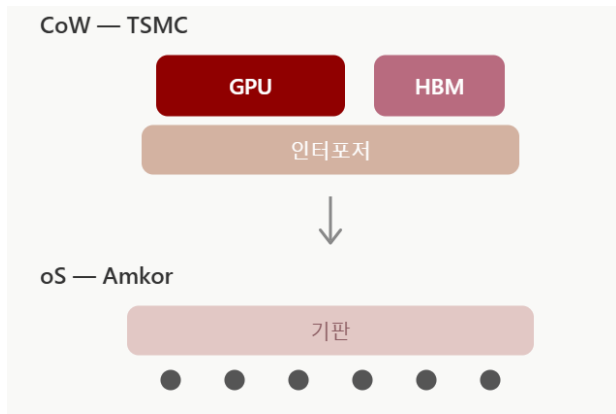
TSMC의 CoWoS 기술은 크게 두단계로 나뉜다. TSMC는 실리콘 인터포저 위에 GPU 다리와 HBM을 미세 범프로 실장하는 고마진의 CoW를 자체 수행하고, 완성된 인터포저 모듈을 기판에 결합하는 oS를 OSAT에 외주한다. 2026년 TSMC가 OSAT에 넘기는 CoWoS 물량은 연 24만~27만 장이며, **이 중 Amkor가 가장 많은 18만~19만 장을 담당한다**

oS공정은 크게 4단계로 구성된다. 먼저 모듈을 C4 범프로 기판에 리플로우 방식으로 결합하고, EMC로 밀봉한 뒤, 솔더볼을 붙이고, 최종 테스트를 거친다. 테스트는 oS후 ATE 기반 최종 전기 테스트와 SLT, 고온·고전압으로 초기 불량률 줄여내는 번인까지를 포함한다. TSMC 대만 팹에서 나온 웨이퍼는 현재 AMKOR 대만의 T3, T5, T6에서 처리되고 있으며, 2028년 초 양산이 시작되는 Amkor의 애리조나 팹에서는 TSMC 애리조나 팹에서 나온 웨이퍼가 처리될 것으로 예상된다. **이는 지리적으로 TSMC 파운드리부터 Amkor의 패키징·테스트까지 이어지는 대만 및 미국 내 완결형 공급망을 형성한다.**

TSMC와 10년 계약

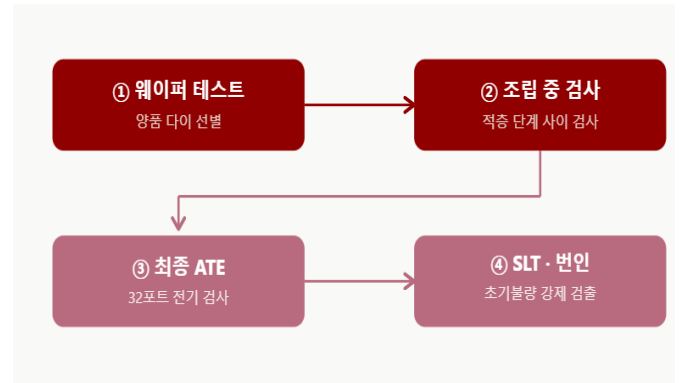
최근 Amkor는 TSMC와 10년 장기 첨단 패키징 계약을 체결했다. 기존 외주가 TSMC가 캐파 사정에 따라 달라질 수 있던 스팟 물량이었다면, 이번 10년 장기 계약은 기존의 물량 확보의 불확실성을 해소하고 사업의 안정성을 보장한다.

그림 42. CoWoS 분업 구조



자료: KUVIC 리서치 2팀

그림 43. AMKOR 테스트 흐름



자료: KUVIC 리서치 2팀

Intel EMIB의 첫 외주

INTEL의 EMIB_
구글 TPU v9과
메타 MTIA가
채택한 기술

또한 Amkor는 인텔(Intel)의 차세대 2.5D 첨단 패키징 기술인 EMIB물량을 최초로 외주 수주하는 데 성공했다. 이로써 TSMC에 이어 인텔이라는 또 하나의 대형 파이프라인을 확보하게 되었으며, 이 역시 단순 조립에 그치지 않고 테스트 공정까지 동반 수주했다는 점에서 높은 수익성을 담보한다.

파운드리를 건너뛴 계약: 엔비디아

Amkor는 2026년 TSMC 계약과 별개로 엔비디아와 차세대 AI 인프라를 위한 다년 전략 계약을 직접 체결했다. 엔비디아는 2027년 15억 달러의 선금금을 Amkor에 지급하며, 이는 미국 내 패키징·테스트 서비스 제공에 따라 향후 5~10년에 걸쳐 상각, 회수된다. 선금금은 고객이 캐파 확보를 위해 자기 자본을 직접 투입하는 커밋으로, 애리조나 공장 투자의 수요 리스크를 고객이 함께 분담하는 구조다. 결과적으로 Amkor의 AI GPU 밸류체인 내 위치는 단순한 'TSMC의 하청'을 넘어 '엔비디아 공급망의 핵심 파트너'로 격상되었다.

Amkor의 자체 패키징 기술: SWIFT, S-SWIFT, S-Connect

Amkor는 비싼 실리콘 인터포저 대신 유기 소재를 활용하는 HDFO를 활용한 독자 기술(SWIFT, S-SWIFT, S-Connect)도 구축하고 있다. SWIFT는 유기 소재 위에 2μm급 미세 배선을 구현해 인터포저를 대체하는 기본 기술이다. S-SWIFT는 이를 대형 BGA 기판 위에 올려 칩렛과 HBM까지 통합하는 확장형으로, 6층 배선을 지원하며 데이터센터급 대형 패키지에 대응한다. S-Connect는 극도로 촘촘한 연결이 필요한 칩렛 사이에만 실리콘 브리지를 삽입하는 방식으로, TSMC CoWoS-L과 인텔 EMIB에 대응하는 기술이며 현재 검증 단계다. HDFO 기술들은 2분기부터 본격 양산되는 데이터센터 CPU 프로그램에 적용된다.

결국 Amkor가 독자 기술을 보유하고 있다는 것은 파운드리 하청 역할에만 종속되지 않는다는 것을 의미한다. TSMC, Intel을 경유하는 AI 가속기 물량에 더해, 자체 기술을 기반으로 한 데이터센터 CPU 물량이라는 독립적인 파이프라인까지 확보했다.

자체기술과 AMD _
Amkor는 27년부터
AMD의 신규 데이터
센터 CPU를 자체
HDFO 브릿지
기술로 패키징한다

그림 44. S- SWIFT



자료: KUVIC 리서치 2팀

그림 45. S-Connect



자료: KUVIC 리서치 2팀

Apple: 매출은 줄어도 구조는 온전하다

Amkor 전체 매출의 절반을 차지하는 통신 부문은 애플(Apple)이 핵심 고객이다. 이번 3분기에는 이례적으로 해당 부문 매출이 감소할 것으로 예상되는데, 원인은 메모리 공급 부족 및 가격 상승에 따른 완제품 빌드 패턴 변화와 SiP 라인이 한국에서 베트남으로 이관 과정에서 발생한 일시적 가동 공백 때문이다.

즉 매출 감소가 애플의 수요감소가 아니라 Amkor 한국 공장에서 저마진 SiP 물량을 빼고, 고마진 AI, 컴퓨팅 라인을 배치하기 위한 생산 거점 재편 과정 속 발생한 것이라는 것이다.

ASE Technology Holding & SPIL

세계 1위 OSAT

ASE는 대만에 본사를 둔 세계 1위 OSAT 기업으로, 글로벌 후공정 시장에서 **약 30%에 달하는 점유율을 보유하고 있다**. ASE는 과거 대만 내 라이벌이자 글로벌 3위 업체였던 SPIL을 인수를 통해 TSMC-ASE·SPIL로 이어지는 AI 반도체 생태계를 구축했다.

ASE 홀딩스의 사업군은 크게 ATM(Assembly, Test and Material)과 자회사 USI를 통한 EMS(전자제품 위탁생산) 부문으로 나뉜다. 최근 ATM 부문 내에서 어드밴스드 패키징 비중이 증가하고 있다. 특히 TSMC CoWoS의 WoS 공정을 분담하는 선단 패키징·테스트인 LEAP(Leading-Edge Advanced Packaging)의 성장세가 두드러진다. **LEAP는 현재 ATM 매출의 약 13%, 전사 매출의 약 8%를 차지하며 가파르게 성장 중인데, 세부 구조 역시 패키징 65%, 테스트 35%로 고부가가치 테스트 공정이 동반되는 높은 수익성을 보여준다.**

TSMC의 라이선스를 원 OSAT

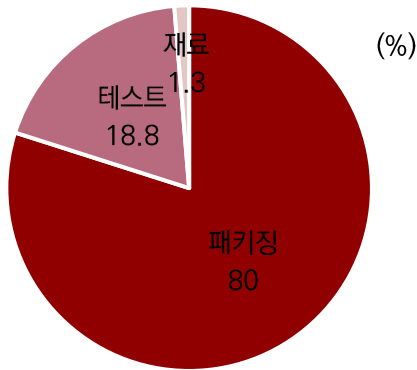
자회사 SPIL과 TSMC는 지난 27년간 굳건한 협력 관계를 이어온 핵심 파트너다. ASE/SPIL은 TSMC CoWoS 물량 중 약 6~8만 장 수준의 외주 물량을 할당받으며 핵심 후공정 파트너로서의 입지를 다지고 있다.

특히 **SPIL은 TSMC로부터 공식 CoWoS-S 기술 라이선스를 획득한 OSAT다**. 이를 통해 엔비디아 H100·H200 급 초고성능 SiP를 풀 공정으로 양산할 수 있는 독보적인 기술적 자격을 갖췄다.

LEAP 매출
23년 2.5억 → 26E
35억 달러

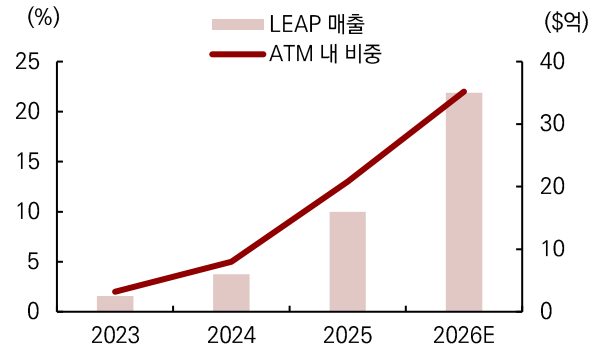
실제로 2024년 TSMC는 사상 최초로 CoW 공정 물량을 SPIL에 배정하기 시작했다. 기존 OSAT 외주 영역이 기판 조립 단계인 oS에 머물렀다면, 이제는 핵심 칩 결합 단계인 CoW 영역까지 확장된 것이며, SPIL은 그 구조적 전환의 첫 번째 수혜자로 올라섰다. 나아가 차세대 첨단 패키징인 CoWoP 공정 역시 SPIL이 주도적으로 이끌어갈 것으로 기대된다.

그림 46. ATM 매출구조



자료: KUVIC 리서치 2팀

그림 47. LEAP 매출 비중



자료: KUVIC 리서치 2팀

자체기술, VIPack

ASE는 독자적인 첨단 패키징 통합 브랜드인 VIPack을 구축해 글로벌 첨단 후공정 시장에서 독자적인 기술 주도권을 확보하고 있다. **이 가운데 실리콘 인터포저를 유기물 소재로 대체하는 FOCoS와 FOCoS-Bridge 기술이 기술적 해킷자를 지닌다.**

ASE 자체 기술_ FOCoS-Bridge의 패넬레벨이 TSMC의 CoPoS보다 1년 빠르다.

FOCoS는 비싸고 두꺼운 실리콘 인터포저 대신 유기 팬아웃 RDL을 적용한 것이 특징이다. FOCoS-Bridge는 여기에 극고밀도 연결이 필요한 구간에만 선택적으로 실리콘 브리지를 삽입하는 하이브리드 기술이다.

차세대 공정인 패넬레벨 패키징(FOPLP)에서도 경쟁사 대비 앞선 양산 체계를 갖추고 있다. 현재 가오슝 300mm 라인을 안정적으로 운영 중이며, 업계 최초로 구축 중인 **310mm 완전 자동화 생산 라인**은 **2027년 상반기 본격 양산**에 들어갈 예정이다. 이처럼 ASE는 유기물 기반 대체 솔루션부터 차세대 패넬레벨 공정에 이르기까지 기술 완성도를 높이고 있다.

AI 밖의 매출, ASE의 진짜 몸집

ASE는 애플, 퀄컴 등 글로벌 빅테크를 고객사로 스마트폰, 통신, 전장 등 반도체 전 영역의 후공정을 수행하며, 특히 웨어러블 기기용 SiP 분야에서 세계 1위 지위를 확보하고 있다.

또한 자회사 USI의 EMS 사업은 3%대의 낮은 마진율에도 불구하고 대규모 외형 매출을 창출하며, 독자적인 수직계열화 사업 구조를 구축하고 있다.

표 33. AMKOR & ASE/SPIL의 CoWoS의 oS OSAT 물량

구분(천 개)	2026E	2027E	2028E	2029E	2030E
TSMC CoWoS 캐파	1,050	1,890	2,730	3,360	3,360
AMKOR 물량	185	333	481	592	592
AMKOR oS CAPA	200	200	548	668	778
AMKOR 가동률	92.5%	166.5%	87.8%	88.6%	75.1%
ASE/SPIL 물량	70	126	182	224	224
ASE/SPIL oS CAPA	150	300	350	400	455

자료: KUVIC 2팀 추정

국내 OSAT: HBM이 밀어낸 물량을 받는다.

HBM이 범용 D램 캐파를 잠식한다.

AI 서버의 압도적인 D램 탑재량과 엔비디아의 LPDDR 기반 SOCAMM 메모리 채택까지 더해져 D램 수요가 전방위로 증가하면서 HBM은 전체 D램 생산 능력을 빠르게 잠식하고 있다.

HBM 수급은 2026년 99.3%, 2027년 102.0%, 2028년 96.7%로 3년 내내 타이트한 수급 균형이 이어지며, 특히 2028년은 Rubin Ultra 램프에 따라 부족할 것으로 예상된다. 그 결과 전체 D램 캐파에서 HBM 비중은 2026년 23.0%에서 2028년 31.1%로 상승하고, 2028년에는 SK 하이닉스와 삼성전자 모두 캐파의 40%를 HBM에 배정한다. HBM은 TSV 형성과 적층 손실로 동일 용량 대비 웨이퍼를 일반 D램의 3배 소모하므로 실제 잠식 효과는 명목 비중보다 크다.

삼성과 SK하이닉스가 범용 D램 캐파도 공격적으로 늘리고 있으나, 증설분의 상당 부분이 HBM과 서버용 DDR5에 우선 배분되면서 범용 메모리는 캐파 확대에도 공급부족과 가격 상승이 본격화될 전망이다. KUVIC 2팀 추정 기준 HBM을 뺀 범용 캐파는 2026년 월 159만 장에서 2028년 164만 장으로 사실상 제자리다.

후공정을 내보낸다.

HBM은 후공정 난도가 높아 내부 패키징 및 테스트 인력과 설비를 대거 요구한다. 이러한 상황에서 기존 범용 메모리의 파이널 테스트, 조립, 모듈 공정까지 모두 내재화한다면 전공정 팹의 회전율과 운용 효율성이 저하된다. 결국 IDM은 고부가가치 HBM 후공정을 내재화하고, 범용 메모리 후공정은 외주로의 전환을 선택했다. 이것이 범용 캐파가 정체된 상황에서도 국내 OSAT향 외주 물량이 증가하는 이유다. 여기에 ASE 첨단 라인의 풀가동으로 밀려난 물량이 시거드(Sigurd), KYEC 등 대만 2군 OSAT를 거쳐 국내까지 내려오는 해외 낙수 경로까지 더해지고 있다.

하나마이크론: SK 하이닉스 범용 메모리 외주의 직접 수혜

하나마이크론은 국내 최대 규모의 OSAT 기업으로 전사 매출의 76%가 패키징 및 테스트에서 발생하며, 삼성전자와 SK하이닉스를 양대 고객사로 확보하고 있다. 투자 포인트는 SK하이닉스와의 전략적 협력 관계다.

하나마이크론은 SK하이닉스와의 D램 및 낸드 후공정 외주 임가공 계약을 바탕으로 물량 및 판가를 안정적으로 보장받고 있다. 특히 SK하이닉스의 M15X 라인 증설이 HBM 위주로 진행됨에 따라 범용 메모리 후공정의 외주 의존도는 더욱 심화되고 있다.

현재 하나 마이크론은 베트남 박닌공장 확장을 통해 연 1억 개 수준의 캐파를 확보했으며, 향후 투자를 통해 이를 3억 개까지 확대할 계획이다. 여기에 2027년 상용화를 목표로 2.5D 패키징 및 CPO 등 차세대 대응 기술 확보도 추진 중이어서 장기적인 성장 동력까지 갖춘 것으로 판단된다.

두산테스나의 고부가
제품_
CIS만 하는 회사가
아니다. SoC가 최대
부문

두산테스나: 삼성 파운드리 테스트 OSAT, CIS를 넘어 AI로

두산테스나는 삼성 파운드리 및 시스템LSI에서 생산되는 시스템반도체 전반의 웨이퍼 테스트를 전담하는 파트너로, 전사 매출의 92~96%가 웨이퍼 테스트에서 발생한다.

특히 삼성 파운드리의 2나노 선단 공정 수주와 함께 사업의 방향성이 AI 연산칩 영역으로 이동하고 있다. 최근 삼성이 테슬라와 체결한 165억 달러 규모의 2나노 AI 칩 파운드리 물량에 대한 웨이퍼 테스트를 동사가 수행하게 되며, 두산테스나의 **테슬라향 매출은 2026년 746억 원에서 2028년 974억 원으로 예상된다**. 여기에 Groq LPU, AMD, 퀄컴향 물량 및 2나노 기반 엑시노스 2600이 추가로 더해진다.

SFA 반도체: 삼성 DDR5 외주, 이익 전환은 확인 필요

SFA 반도체는 삼성전자의 HBM 역량 집중으로 파생된 범용 DDR5 후공정 외주화의 최대 수혜주다. 삼성의 DDR5 테스트 장비 120대가 필리핀 법인으로 이관되며 가동률은 30%대에서 60%대로 증가했다. 하지만 **물량 확대에도 불구하고 2025년 연간 적자 및 2026년 1분기 영업적자가 이어져 수익성 개선은 미지수다**. 범용 메모리 외주 확대라는 거시적 방향성은 명확하나, 실적 턴어라운드 확인이 필요하다.

네패스와 LB세미콘

비메모리 패키징 중심의 네패스와 DDI (디스플레이 구동칩) 비중이 70%인 LB세미콘은 메모리 외주화의 직접 수혜에서는 제외되나, AI 밸류체인 내 우회 성장 경로는 유효하다. 네패스는 AI 서버용 고성능 PMIC 수요 급증에 따른 북미 팹리스 수주 확보와 함께, 세계 최초로 양산한 FO-PLP 및 팬아웃 브리지 인터포저를 통해 장기적인 AI 패키징 국산화 대안으로 꼽힌다. LB세미콘은 온디바이스 AI향 FI-WLP 수주와 글로벌 팹리스와의 10년 장기 기본거래 계약 체결을 바탕으로 Non-DDI 개선을 도모하고 있다. 다만 이들 우회 수혜군은 직접 수혜 기업들 대비 실적 개선의 탄력이 상대적으로 작고, 가시화되는 시점 역시 늦어질 것으로 판단된다.

OSAT: 병목의 통행료를 받는 자

2026년 기준 글로벌 OSAT 시장은 500억~700억 달러로 CAGR은 5~9% 이지만, OSAT 세그먼트별로 성장률이 극명하게 갈린다. OSAT 매출 내 어드밴스드 패키징 비중은 2020년 15%에서 2026년 25~30%까지 확대되었으며, 테스트 시장은 두 자릿수 성장세를, 특히 SLT 부문은 2026년에 30%라는 높은 성장률이 전망된다. 주목할 점은 과거 파운드리가 단가를 주도하던 일방적인 구조에서, **OSAT의 협상력이 증가했다는 것이다**. 최근 TSMC가 첨단 패키징 개파 부족으로 외주 물량을 늘리는 가운데, 수혜를 입은 OSAT 업체들이 ASP를 20%가량 인상했음에도 수주가 견조하게 유지되는 상황이 이를 잘 보여준다. 반도체 산업의 병목이 전공정에서 후공정으로 이동하면서 OSAT는 그 병목을 해결하는 핵심 주체로 부상하고 있다. **결국 본 리서치팀은 전체 반도체 시장 내 후공정 TAM이 커지는 가운데 고부가가치 세그먼트로의 사업 믹스 전환 여부가 개별 기업의 실적과 마진 차별화를 가르는 핵심 변수가 될 것으로 판단한다**.

표 34. OSAT TAM& CAGR (25년 기준)

구분	시장규모/매출	CAGR/성장률
OSAT 전체	500억 달러	8%
ASE/SPIL	208억 달러	17.7%
AMKOR	67억 달러	6%
하나마이크론	1.5조 원	23%
두산테스나	3,039억 원	-18.6 %

자료: KUVIC 2팀 추정

OSAT의 미래_
믹스 전환과
자체 기술 개발이
관건

COMPANY ANALYSIS

Korea University Value Investment Community

Not
Rated

티에스이 (131290)

Tse, 테스트의 에이스

투자포인트 1. 메모리: CXMT로 증명했고, HBM은 아직 시작도 안 했다

FormFactor가 과점하던 D램 프로브카드에 국산 최초로 진입했고 1Q26이 그 증명이다. 프로브카드 479억원(+92%), 수출 증가분 170억원이 전량 CXMT향 D램 초도 매출로 D램 비중 50%에 도달했고, 수주잔고도 CXMT향 50%로 채워져 2~3분기에 인식된다. 핵심은 HBM이 아직 10~20억원에 그친다는 점이다. 마진은 HBM>D램>낸드 순이고 3사 인증은 끝났으니 현재 이익은 D램만으로 만든 바닥이다. TSV 웨이퍼 2배 상승, HBM 핀밀도 1.52배 상승에 따라 부하지수가 100→187(2027)→303(2028)로 뛰고, HBM4+4e 믹스 27.8%→94.3% 전환은 기존 카드 재사용이 불가능해 그 자체로 신규 설계 발주다. 여기에 메모리 3사가 LTA가 설비투자까지 묶는 5년 계약으로 진화하면서 소모품인 프로브카드의 가시 구간도 함께 늘어난다. 캐파는 26년 기말 2,800억원(연매출 기준)에 CB 500억원이 포함돼, 신규 부지 없이 계열사 라인을 분기마다 증설하고 있다.

투자포인트2. 비메모리: 보드는 이미 메인, 프로브카드는 낙수 대기

프로브카드가 후발주자인 반면 인터페이스보드는 이미 메인 벤더다. 비메모리 비중이 1년 만에 30%→45%로 올라 1Q26 수출 344억원(QoQ +58%)을 만들었고, 마진도 비메모리 20~50% 대 메모리 10~40%로 로직 비중 상승 자체가 믹스 개선이다. CoWoS 기판 수요 2.47배가 그대로 로드보드 수요로 전이되고, 칩당 전력 1.91→3.20kW(1.67배)가 전원총과 동판 두께를 키운다. 칩 수를 줄이는 원인이 곧 칩당 단가를 올리는 원인이라 2027년 칩 수 피크와 무관하게 6~18개월 교체 주기 소모품이라 단가 상승이 ASP와 교체빈도에 이중으로 작용한다. 프로브카드는 Technoprobe가 2026~2027년 캐파를 2배로 늘리며 목표를 조기화할 만큼 타이트한 국면(리드타임 16~18주, 가격 10~25% 인상)을 기다린다. 글로벌 공급의 최종 상한인 다층 세라믹 STF를 일본 소수 기업이 전 반면, 동사는 세라믹 STC와 오가닉 STO-ML을 모두 자체 보유해 이 병목 밖에 있다. VPC 라인업(AP·CPU·GPU용, 10만 핀 이상)까지 갖췄고 로드보드로 확보한 AMD 등 로직 접점이 쉼을 단축시킨다. 리더가 가장 타이트한 2026~2027년이 진입의 적기다.

Earnings and valuation metrics

결산기 (12월)	2022	2023	2024	2025	1Q26
매출액 (십억원)	339	249	348	428	151
YoY (%)		-26.5	39.8	23.0	-
영업이익 (십억원)	57	(2)	40	49	42
YoY (%)		-103.5	흑전	22.5	-
영업이익률 (%)	16.69	(0.95)	11.46	11.46	27.9
당기순이익 (십억원)	53	(2)	45	40	40
EPS (원)	4,054	11	3,840	3,456	3,338
P/E (배)	8.2	4,523.9	10.7	16.7	24.18

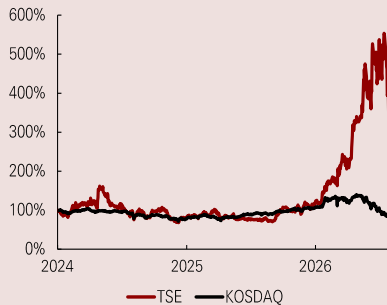
주: K-IFRS 연결 기준, 순이익은 당기순이익

자료: KUVIC Research 2팀

Stock Information

시가총액	17,422억원
발행 주식 수	11,061,429주
유동주식비율	38.73%
52주 최고가	294,000원
52주 최저가	36,150원
외국인 지분율	12.39%
KOSPI	5,593.56
KOSDAQ	644.78

Price Trend



KUVIC Research Team 2

메일 kuvic_korea@naver.com

팀장	45기 Senior 오찬균
팀원	45기 Senior 권나현
팀원	45기 Senior 민지홍
팀원	45기 Senior 박수아
팀원	44기 Senior 임지후
팀원	45기 Senior 정서윤
팀원	45기 Senior 채영석

Who We Are



Compliance Notice

- 본 보고서는 고려대학교 가치투자동아리 KUVIC의 리서치 결과를 토대로 한 분석 보고서입니다.
- 본 보고서에 사용된 자료들은 고려대학교 가치투자동아리 KUVIC이 신뢰할 수 있는 출처 및 정보로부터 얻어진 것이나 그 정확성이나 완전성을 보장하지 못합니다.
- 본 보고서는 투자 권유 목적으로 작성된 것이 아닌 고려대학교 가치투자동아리 KUVIC의 스터디 목적으로 작성되었습니다.
- 따라서 투자자 자신의 판단과 책임 하에 종목선택이나 투자시기에 대한 최종 결정을 하시기 바랍니다.
- 본 보고서에 대한 지적재산권은 고려대학교 가치투자동아리 KUVIC에 있으며 어떠한 경우에도 법적 책임소재의 증빙자료로 사용될 수 없습니다.